

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-353756

(43)Date of publication of application : 19.12.2000

(51)Int.Cl. H01L 21/8238

H01L 27/092

H01L 21/265

H01L 21/28

H01L 21/8234

H01L 27/088

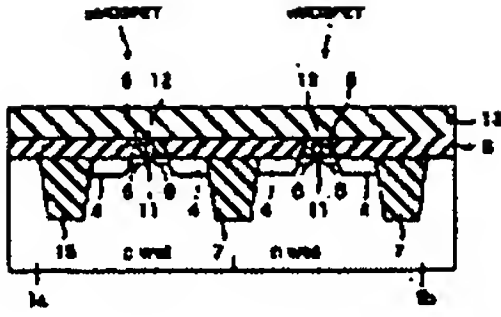
H01L 29/43

H01L 29/78

(21)Application number : 11-166713 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.06.1999 (72)Inventor : AZUMA ATSUSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF



(57)Abstract:

PROBLEM TO BE SOLVED: To realize a low threshold voltage in both an nMOSFET and a pMOSFET of an ultrathin CMOS transistor, using a metal gate electrode structure.

SOLUTION: In a semiconductor device formed with a CMOSFET, having metal gate electrodes 12, a metal film of the value of a work function of 4.2 to 5.0 eV is used in the parts, which are positioned on the sides of at least gate insulating films of the electrodes 12, and an nMOSFET and a pMOSFET of a CMOSFET are both formed into a constitution, where their short-channel transistors have a channel profile, which is constituted into a surface channel structure, and their long-channel transistors have a channel profile which is constituted into an embedded channel structure.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not
reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The source field, channel field, and drain field of the insulated-gate
mold electric field effect mold transistor formed in the semi-conductor layer, It is
formed on the gate dielectric film formed on said channel field, and said gate
dielectric film. If few It comes to form the insulated-gate mold electric field effect
mold transistor of the n channel mold which possesses the metal gate electrode
with which the metal which has the value of a work function near the band gap of
silicon was used for the ** gate-dielectric-film side, respectively, and the
insulated-gate mold electric field effect mold transistor of a p channel mold. The
insulated-gate mold electric field effect mold transistor of said n channel mold
and a p channel mold The 1st transistor of channel length shorter than

predetermined channel length has a channel profile used as surface channel structure. The 2nd transistor of the 2nd channel length longer than the channel length of said 1st transistor is a semiconductor device characterized by having a channel profile used as embedding channel structure.

[Claim 2] It is the semiconductor device according to claim 1 which said 1st transistor is the thing of the short channel which is near whose channel length is lower limit extent of a design rule, and is characterized by said 2nd transistor being the thing of a long channel.

[Claim 3] It is the semiconductor device according to claim 1 or 2 characterized by the value of the work function of the metal by the side of gate dielectric film at least being [of said metal gate electrode] 4.2eV - 5.0eV.

[Claim 4] Said metal gate electrode is a semiconductor device according to claim 1 characterized by being formed or formed as a laminated structure of this simple substance metal and refractory metal with titanium and any one simple substance metal of the tantalum.

[Claim 5] The process which forms dummy gate dielectric film and the dummy gate on a semi-conductor layer with the impurity of the 1st conductivity type and the 2nd conductivity type, and forms a side-attachment-wall insulator layer in the side face of said dummy gate, The process at which the formation process order of said side-attachment-wall insulator layer or before form only in behind the impurity range which turns into the source of an MOS transistor, and a drain field at the surface section of said semi-conductor layer, Then, the process at which the interlayer insulation film of a silicon oxidation membrane system is deposited on the whole surface on the semi-conductor layer containing said dummy gate and a side-attachment-wall insulator layer, and said dummy gate is exposed by chemical polish, The process which removes said exposed dummy gate, forms the 1st slot for gate formation of said 1st transistor, and the 2nd slot for gate formation of said 2nd transistor, and introduces a channel impurity into said semi-conductor layer of the lower part, Said dummy gate dummy gate dielectric film is removed before the process which introduces said channel impurity, or to the

back. Into the substrate part which possesses the process which forms gate dielectric film after the process which introduces said channel impurity, and forms the metal gate further, and has the 1st conductivity type The ion implantation of the impurity of the same conductivity type as the 1st impurity is carried out to a substrate through said the 1st slot and 2nd slot from the include angle near it from a direction vertical to a substrate. The ion implantation of the ion kind of the 1st impurity and a reverse conductivity type is carried out to a substrate through the 2nd slot from the include angle of the direction of slant so that a substrate may not be reached, if it lets said 1st slot pass. The ion implantation of the 2nd impurity and the impurity of the same conductivity type is carried out to a substrate through said the 1st slot and 2nd slot at a substrate part with the 2nd conductivity type from the include angle near it from a direction vertical to a substrate. The manufacture approach of the semiconductor device characterized by carrying out the ion implantation of the ion kind of the 2nd impurity and a reverse conductivity type to a substrate through the 2nd slot from the include angle of the direction of slant so that a substrate may not be reached, if it lets said 1st slot pass.

[Claim 6] It is the manufacture approach of the semiconductor device according to claim 5 characterized by for said 1st transistor being the thing of the short channel which is near whose channel length is lower limit extent of a design rule, and said 2nd transistor being the thing of a long channel.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the channel structure of attaining high performance-ization of the field-effect transistor (Metal Insulator Semiconductor Field Effect Transistor;MISFET) using the metal gate electrode and gate dielectric film which are applied to a semiconductor device and its manufacture approach, especially are formed in semiconductor integrated circuit equipment, and its production process.

[0002]

[Description of the Prior Art] As a semiconductor device using MISFET, storage, such as the dynamic mold RAM formed on Si substrate and the static mold RAM, the arithmetic unit using the logical circuit of a CMOS (Complementary Metal Oxide Semiconductor; complementarity insulated gate) configuration, etc. are mentioned.

[0003] It is important to control the so-called short channel effect of MOSFET as detailed-ization of MOSFET which is the component of these equipments is progressing for improvement in current and an accumulation consistency, or the improvement in the engine performance and a generation progresses.

[0004] The approach of controlling the short channel effect of MOSFET is partly proposed according to the so-called scaling law, and the technique of thin-film-izing the Gaea ***** to one of them is mentioned.

[0005] Control of the depletion layer formed into Si substrate becomes easy, so that gate dielectric film is thin, when an electrical potential difference is impressed to a gate electrode, and this technique means that a short channel effect can be controlled.

[0006] However, if the electric field relatively built over a GE 1 TO electrode side by thin film-ization of gate dielectric film become strong when carrier concentration sufficient in the gate electrode using the polish recon which doped the impurity is not obtained, the phenomenon (depletion-izing of a GE 1 TO electrode) in which a depletion layer is formed also into a gate electrode will be seen. Especially, in n channel MOS FET (nMOSFET) of microscopic **, the effect of depletion-izing of the above-mentioned gate electrode becomes remarkable.

[0007] In order that - ** of the cause by which the effect of depletion-izing of the gate electrode of Above nMOSFET becomes remarkable may control parasitism resistance of a gate electrode to the thin line structure of a detailed GE 1 TO electrode, it is mentioned that the Salicide structure is adopted.

[0008] That is, in order to realize Salicide structure, when the Salicide process is adopted, the ion implantation of the As (arsenic) is simultaneously carried out to a source drain field and a gate field, and it is n+. Doping is performed. In this case, since the diffusion coefficient of As in a gate electrode is small, compared with the case where P (Lynn) is used as a dopant, even if it passes like the same heat process, the high impurity concentration by the side of Si substrate of a gate electrode falls, it becomes easy to cause depletion-ization of a gate electrode, effectual gate-dielectric-film thickness becomes large, and the fault that current driving force decreases actualizes.

[0009] On the other hand, by [which embed and changes into surface channel structure from channel structure] having been used conventionally, to control a short channel effect is tried and the polish recon which doped B (boron) as a gate electrode by previous pMOSFET from submicron - 0.25-micrometer generation is used as ***** of a component progresses to p channel MOS FET (pMOSFET).

[0010] However, along with thin-film-izing of gate dielectric film, some problems are produced also with the surface channel mold pMOSFET which used B for the impurity of a gate electrode. For example, it is that the carrier concentration in a gate electrode becomes small, and it becomes impossible that B runs from a gate field to a channel field through a thin film GE 1 TO insulator layer, to

disregard the effect of depletion-izing of a gate electrode too, etc. since the solid-solution limit of B is small compared with P used by the Gaea ***** of the embedding channel mold pMOSFET.

[0011] Moreover, in a detailed gate electrode, reduction of some parasitic effects is needed so that degradation of gate propagation delay time may not be caused. the - it is required that it should carry out suddenly and sheet resistance on a gate electrode should be made small.

[0012] It is 0.1, although, as for current, the Salicide structure etc. is used in order to attain reduction-ization of gate resistance. When it becomes a mum generation component, reduction-izing of gate resistance becomes necessarily enough [the sheet resistance by which current implementation is carried out] as less.

[0013] Moreover, in the Salicide technique, since the thin line effectiveness that buildup of sheet resistance was caused also existed as gate length became short, development of the structure where the further low resistance-ization of a gate electrode is attained was desired.

[0014] By these technical backgrounds, gate length is 0.1. In the generation after mum nMOSFET and pMOSFET which constitute CMOSFET set the reduction in resistance of a detailed gate electrode, and an improvement of the rate of the formation of gate depletion as the main objects. As a gate electrode, it is not the polish recon which doped the impurity. A metal The technique to be used is beginning (for example) to be studied. [] A. Chatterjee et al. "Sub-100nm Gate Length Metal Gate NMOS Transistors Fabricated by a Replacement Gate PROCESS", 1997 IEEE, IEDM Tech.Dig.P.821.

[0015] This technique becomes advantageous also at the point which the phenomenon through which B runs from a gate field to a channel field through a thin film GE 1 TO insulator layer in pMOSFET does not produce.

[0016] In addition, historically, although the metal gate electrode was used in early stages of the MIS mold semiconductor device, since a metal gate electrode cannot take adjustment with an elevated-temperature process, recently, it is no

longer used.

[0017] By the way, if it is going to form the structure of the metal gate electrode which is beginning to attract attention again, giving the conventional manufacture process and the consistency of LSI as described above, it is appropriate to use W with the comparatively high melting point (tungsten), TiN (titanium nitride), Ta (tantalum) simple substance, etc. Since control of a stacking tendency is attained, especially TiN is becoming important when bearing a role of a barrier metal when forming the metal gate of a laminated structure with W.

[0018] said TiN and Ta -- work function ϕ_M ***** -- since it has the value (the medium of EV near the mid gap (mid gap) (i.e., EC of a silicon substrate (Bulk Si))) of 4.6 eV extent, nMOSFET and pMOSFET have the advantage of being easy to set up threshold voltage V_{th} near a desired aim, by using as a gate electrode.

[0019] however, said work function ϕ_M which was carried out ***** -- if a metal gate electrode with the value of 4.6 eV extent is used, when MOSFET of a long channel (what has channel length longer than the lower limit of a design rule) which has surface channel structure is formed, the threshold voltage V_{th} of MOSFET will become high as this generation's MOSFET.

[0020] This is very inconvenient in a pole detailed CMOS device. In a pole detailed CMOS device, the scaling of the dimension of each part is carried out supposing reducing supply voltage, and it is because it is the requisite to also reduce threshold voltage V_{th} in connection with it.

[0021] Supposing threshold voltage V_{th} must reduce supply voltage until now [high], it will separate from the scenario of resulting in reducing the current driving force (it being proportional to $V_g - V_{th}$) of MOSFET as a result, carrying out the scale down of the channel length, and high-performance-izing a component.

[0022] Then, if MOSFET of a short channel (that whose channel length is lower limit extent of a design rule) which has surface channel structure is formed in order to reduce threshold voltage V_{th} , it will go into the field out of which the short channel effect that a threshold becomes extremely small comes strongly,

and dispersion in a property will become large.

[0023] Moreover, although it is possible to reduce the threshold voltage V_{th} of MOSFET of a long channel if MOSFET which has embedding channel structure is formed, DIBL of MOSFET of a short channel becomes large and a cut-off characteristic worsens.

[0024] Therefore, when realizing only surface channel structure only with embedding channel structure like before as an MOSFET of the structure of a metal gate electrode, a low threshold required for detailed CMOS and sufficient short-proof channel effect property cannot be reconciled.

[0025] In addition, there are some which realized low threshold voltage V_{th} by making nMOSFET into surface channel structure, embedding pMOSFET and considering as channel structure conventionally, as an MOSFET which has the metal gate electrode of $\phi_M = 4.6$ eV.

[0026]

[Problem(s) to be Solved by the Invention] As described above, the CMOS transistor using the conventional metal gate electrode structure had the problem that it was difficult to reduce the threshold voltage of MOSFET of a short channel, without nMOSFET and pMOSFET reducing the threshold voltage of MOSFET of a long channel, and degrading the property of MOSFET of a short channel.

[0027] It was made that this invention should solve the above-mentioned trouble, and the threshold voltage of MOSFET of a long channel is low realizable, and moreover, nMOSFET of the pole detailed CMOS transistor using metal gate electrode structure and pMOSFET aim at offering the semiconductor device which can realize threshold voltage of MOSFET low, and its manufacture approach, without degrading the property of MOSFET of a short channel.

[0028]

[Means for Solving the Problem] The source field of an insulated-gate mold electric field effect mold transistor where the semiconductor device of this invention was formed in the semi-conductor layer, a channel field, and a drain field, It is formed on the gate dielectric film formed on said channel field, and said

gate dielectric film. If few It comes to form the insulated-gate mold electric field effect mold transistor of the n channel mold which possesses the metal gate electrode with which the metal which has the value of a work function near the band gap of silicon was used for the ** gate-dielectric-film side, respectively, and the insulated-gate mold electric field effect mold transistor of a p channel mold. The insulated-gate mold electric field effect mold transistor of said n channel mold and a p channel mold The 1st transistor of channel length shorter than predetermined channel length has a channel profile used as surface channel structure. The 2nd transistor of the 2nd channel length longer than the channel length of said 1st transistor is characterized by having a channel profile used as embedding channel structure.

[0029] In this case, said 1st transistor is the thing of the short channel which is near whose channel length is lower limit extent of a design rule, and, specifically, said 2nd transistor is the thing of a long channel.

[0030] Moreover, even if there are few said metal gate electrodes, the value of the work function of the metal by the side of gate dielectric film is 4.2eV - 5.0eV, and said metal gate electrode is formed or formed as a laminated structure of this simple substance metal and refractory metal with titanium and any one simple substance metal of the tantalum.

[0031] Moreover, the process which the manufacture approach of the semiconductor device of this invention forms dummy gate dielectric film and the dummy gate on a semi-conductor layer with the impurity of the 1st conductivity type and the 2nd conductivity type, and forms a side-attachment-wall insulator layer in the side face of said dummy gate, The process at which the formation process order of said side-attachment-wall insulator layer or before form only in behind the impurity range which turns into the source of an MOS transistor, and a drain field at the surface section of said semi-conductor layer, Then, the process at which the insulator layer of a silicon oxidation membrane system is deposited on the whole surface on the semi-conductor layer containing said dummy gate and a side-attachment-wall insulator layer, and said dummy gate is exposed by

chemical polish, The process which removes said exposed dummy gate, forms the 1st slot for gate formation of said 1st transistor, and the 2nd slot for gate formation of said 2nd transistor, and introduces a channel impurity into said semiconductor layer of the lower part, Said dummy gate dummy gate dielectric film is removed before the process which introduces said channel impurity, or to the back. Into the substrate part which possesses the process which forms gate dielectric film after the process which introduces said channel impurity, and forms the metal gate further, and has said 1st conductivity type The ion implantation of the impurity of the same conductivity type as the 1st impurity is carried out to a substrate through said the 1st slot and 2nd slot from the include angle near it from a direction vertical to a substrate. The ion implantation of the ion kind of the 1st impurity and a reverse conductivity type is carried out to a substrate through the 2nd slot from the include angle of the direction of slant so that a substrate may not be reached, if it lets said 1st slot pass. The ion implantation of the 2nd impurity and the impurity of the same conductivity type is carried out to a substrate through said the 1st slot and 2nd slot at a substrate part with the 2nd conductivity type from the include angle near it from a direction vertical to a substrate. It is characterized by carrying out the ion implantation of the ion kind of the 2nd impurity and a reverse conductivity type to a substrate through the 2nd slot from the include angle of the direction of slant so that a substrate may not be reached, if it lets said 1st slot pass.

[0032]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0033] <Gestalt of operation of the 1st of semiconductor device> drawing 1 shows the cross-section structure of CMOSFET currently formed in the semiconductor device concerning the gestalt of the 1st operation.

[0034] p by which 1a was formed in the semi-conductor substrate in drawing 1 -- a well (well) -- n by which a field and 1b were formed in the semi-conductor substrate -- a well -- a field and 7 are an object for CMOS field separation, and a

component isolation region for separation between nMOS-pMOS.

[0035] pMOSFET and nMOSFET possess the gate dielectric film 11 formed on the source field and the drain field 4 including the extension field 6 formed in the substrate surface section, respectively, and the channel field between the above-mentioned source field and drain field, and the metal gate electrode 12 formed on said gate dielectric film.

[0036] In addition, the gate side-attachment-wall field which consists of a side-attachment-wall insulator layer by which 5 was formed in the side-attachment-wall section of the gate electrode of pMOSFET-nMOSFET, the 1st interlayer insulation film with which 8 was formed on the substrate, and 13 are the 2nd interlayer insulation film formed on said 1st interlayer insulation film 8 and the metal gate electrode 12.

[0037] The 1st transistor of channel length shorter than channel length predetermined [pMOSFET / (1) nMOSFET and] in the description of the structure of this CMOSFET has a channel profile used as surface channel structure, and the transistor of the 2nd channel length longer than the channel length of said 1st transistor is having a channel profile used as embedding channel structure.

[0038] Said 1st transistor is the thing of the short channel which is near whose channel length is lower limit extent of a design rule here, and said 2nd transistor is the thing of a long channel.

[0039] In addition, even if there are few said metal gate electrodes 12, TiN is used for the gate-dielectric-film side by the about [$\phi_M = 4.6\text{eV}$] metal, and this example, and the refractory metal (this example W) has accumulated on it. In addition, the metal gate electrode which may replace with W, and may use aluminum and consists of an about [$\phi_M = 4.6\text{eV}$] metal simple substance (for example, Ta) may be used.

[0040] The dotted line shows the relation between channel length L in the case of the continuous line showing the relation between channel length L of CMOSFET of drawing 1 , and a threshold V_{th} , and the relation and the conventional

CMOSFET of channel length L and a threshold V_{th} in case the conventional CMOSFET is formed with surface channel structure for comparison embedding it, and being formed with channel structure into drawing 2, and a threshold V_{th} , respectively.

[0041] The transistor of the long channel which is formed with embedding channel structure according to CMOSFET of drawing 2 to this invention can set up a threshold sufficiently low, and the transistor of the short channel currently formed with surface channel structure is understood that it is possible to control the short channel effect to which a threshold becomes extremely small.

[0042] That is, it is possible to realize the threshold V_{th} of the MOS transistor of a long channel low, nMOSFET of the pole detailed CMOS transistor using metal gate electrode structure and pMOSFET controlling the short channel effect of the MOS transistor of a short channel according to CMOSFET of this invention.

[0043] <Gestalt of implementation of the 1st of manufacture approach of semiconductor device> drawing 3 thru/or drawing 9 show the cross-section structure in the main processes concerning an example of the manufacture approach of CMOSFET concerning the gestalt of the 1st operation shown in drawing 1.

[0044] first, it is shown in drawing 3 -- as -- the usual CMOS process -- following -
- a silicon substrate 1 -- the component isolation region 7 and p -- a well -- a field 1 -- a and n -- a well -- after forming field 1b selectively, dummy gate dielectric film 2 is formed on a substrate front face. in addition, the component isolation region 7 -- LOCOS (selective oxidation) -- law and STI (shallow trench isolation) -
- therefore, law etc. can be formed.

[0045] Next, as shown in drawing 4, the polish recon film is deposited on the thickness of 200nm the whole surface on dummy gate dielectric film 2, it is processed by lithography and RIE (reactive ion etching), and the dummy gate electrode field 3 of MOSFET is formed. This dummy gate electrode field 3 does not become the gate of MOSFET, and it is removed, before embedding the metal gate so that it may mention later (transposed to the metal gate).

[0046] Although polish recon is used for the matter which forms the dummy gate electrode field 3 in consideration of next workability, it deposits on the upper part the ingredient which is capped further, for example, SiN etc., and you may make it give the role of the stopper at the time of performing CMP (chemical mechanical polishing) at a next process, and carrying out flattening of the interlayer film here.

[0047] next, the thing which an ion implantation is performed in self aryne to said dummy gate electrode field 3, and is added like a necessary heat process -- p -- a well -- a field 1 -- a and n -- a well -- field 1b is alike, respectively and the shallow source drain field (extension field) 6 is formed.

[0048] In case this shallow source drain field is formed, in a nMOS field, it is arsenic As+. An ion implantation is carried out with the acceleration voltage of 10keV(s), and the dose of $4 \times 10^{14} \text{cm}^{-2}$, and it is fluoridation boron BF₂⁺ in a pMOS field. After carrying out an ion implantation with the acceleration voltage of 7keV(s), and the dose of $4 \times 10^{14} \text{cm}^{-2}$, the impurity which carried out the ion implantation is electrically activated by performing 800 degrees C and heat treatment for 10 seconds (annealing).

[0049] Furthermore, in order to form the gate side-attachment-wall field 5, the silicon nitride SiN is deposited on the whole surface at the thickness of 70m, and a silicon nitride film 5 is made to remain on the side face of the dummy gate electrode field 3 by etching this by RIE (reactive ion etching).

[0050] Next, an ion implantation is performed in self aryne to the gate side-attachment-wall field 5, RTA for activation of an impurity (rapid heating processing) is performed, and field 1a and the diffusion layer used as the deep source drain field 4 are formed in each of field 1b n well p well.

[0051] the time of forming this deep source drain field 4 -- a nMOS field -- arsenic As+ -- the acceleration voltage of 50keV(s), and the dose of $4 \times 10^{15} \text{cm}^{-2}$ -- alike -- an ion implantation -- carrying out -- moreover -- a pMOS field -- fluoridation boron BF₂⁺ After carrying out an ion implantation with the acceleration voltage of 35keV(s), and the dose of $3.5 \times 10^{15} \text{cm}^{-2}$, the impurity which carried out the ion

implantation is electrically activated by performing 950 degrees C and annealing for 10 seconds.

[0052] Furthermore, an interlayer insulation film (for example, BPSG film) 8 is deposited on the whole surface. in this case, LPCVD (reduced pressure vapor growth) with the sufficient homogeneity of CMP -- the oxide film (for example, TEOS oxide film) formed of law may be deposited.

[0053] Next, carry out flattening of the top face of an interlayer insulation film 8 by CMP, when the up front face of said dummy gate electrode field 3 is exposed, CMP is made to stop, and the condition of drawing 4 is acquired. When ingredients, such as SiN, appear as cap material on the polish recon of the dummy gate electrode field 3 on the occasion of this CMP, it is possible to make it into a stopper and to perform CMP.

[0054] In addition, although the Salicide formation process which forms the silicide film in the source drain front face for attaining high performance-ization (reduction in resistance and reduction in ** of contact resistance) of a source drain field was skipped in the above-mentioned example for simplification of explanation when the gate side-attachment-wall field 5 was formed, the Salicide process may be applied like the conventional example.

[0055] then, it is shown in drawing 5 -- as -- CDE (chemical dry etching) -- the dummy gate electrode field (polish recon gate) 3 is selectively removed to an interlayer insulation film 8 by law.

[0056] Then, before embedding a metal to slot 3b after the above-mentioned dummy gate electrode field clearance, lithography is used and a channel ion implantation is performed through slot 3b after dummy gate electrode field clearance.

[0057] Under the present circumstances, as shown in drawing 5 , in order to form a nMOS transistor first, where the mask of the field 1a side is carried out by the resist 9 p well, the ion implantation of p mold impurity (In), for example, the indium, is carried out to 1b n wells with the acceleration voltage of 130keV(s), and the dose of $1 \times 10^{13} \text{cm}^{-2}$. By performing an ion implantation from a substrate,

a perpendicular direction, or the direction that inclined about 7 degrees perpendicularly, for example at this time, also when narrow (it corresponds to the transistor of a short channel), and also when large (it corresponds to the transistor of a long channel), an ion implantation is performed for slot 3b after dummy gate electrode field clearance.

[0058] Then, as shown in drawing 6 (a) and (b), the ion implantation of the arsenic (As) used as the counter impurity of an embedding channel is carried out with the dose of $5 \times 10^{12} \text{cm}^{-2}$ with the comparatively low acceleration voltage of 15keV(s). At this time, an ion implantation is performed to 1b from across n wells to a substrate. at this time, it is shown in drawing 6 (b) -- as -- slot 3b after dummy gate electrode field clearance -- case it is large -- (it corresponds to the transistor of a long channel) n -- a well -- although a counter ion implantation is performed to 1b, it is shown in drawing 6 (a) -- as -- slot 3b after dummy gate electrode field clearance -- case it is narrow -- (it corresponds to the transistor of a short channel) n -- a well -- a counter ion implantation is not performed to 1b.

[0059] By such ion implantation, surface channel structure is acquired in the nMOS transistor section of a short channel, and embedding channel structure is acquired in the nMOS transistor section of a long channel.

[0060] Next, said resist 9 is removed, and as shown in drawing 7 , in order to form a pMOS transistor, where the mask of the field 1b side is carried out by the resist 10 n well, the ion implantation of n mold impurity (As), for example, the arsenic, is carried out to 1a p wells with the acceleration voltage of 100keV(s), and the dose of $1 \times 10^{13} \text{cm}^{-2}$. Slot 3a after dummy gate electrode field clearance is performed, and by performing an ion implantation from a substrate, a perpendicular direction, or the direction that inclined about 7 degrees perpendicularly, for example at this time, also when large [(it corresponds to the transistor of a short channel), and] (it corresponds to the transistor of a long channel), an ion implantation is performed for slot 3a after dummy gate electrode field clearance.

[0061] Then, as shown in drawing 8 (a) and (b), the ion implantation of the boron

(B) used as the counter impurity of an embedding channel is carried out with the dose of $5 \times 10^{12} \text{cm}^{-2}$ with the comparatively low acceleration voltage of 5keV(s). At this time, an ion implantation is performed to 1a from across p wells to a substrate. At this time, as shown in drawing 8 (b), in the transistor section of a long channel, a counter ion implantation is performed to 1a p wells, but as shown in drawing 8 (a), in the transistor section of a short channel, a counter ion implantation is not performed to 1a p wells.

[0062] By such ion implantation, surface channel structure is acquired in the pMOS transistor section of a short channel, and embedding channel structure is acquired in the pMOS transistor section of a long channel.

[0063] then, in order to remove said resist 10 and to activate a channel impurity, after it performs 750 degrees C and heat treatment for 10 seconds and rare hydrofluoric acid treatment removes the dummy gate dielectric film 2 under said dummy gate electrode field removed as carried out, it is shown in drawing 9 (a) and (b) -- as -- a substrate front face -- thermal oxidation or chemical vapor deposition (CVD) -- gate dielectric film 11 is formed by law. In addition, clearance of the above-mentioned dummy gate dielectric film 2 may be carried out to clearance and coincidence of said dummy gate electrode field 3.

[0064] Here, an oxide-film system, an oxidation nitride system, a nitride system, or other high dielectric insulator layers are sufficient as the above-mentioned gate dielectric film 11. That is, you may be the silicon oxide not only containing pure silicon oxide but nitrogen, high dielectric thin films, such as tantalum pentoxide and a titanium dioxide, are sufficient, and you may be a cascade screen with these high dielectric thin films or silicon oxide, and even when the generation of a device replaces and effectual thickness is made thin, it can choose according to the object.

[0065] Next, as a metal for gate electrodes, titanium nitride (TiN) 12a is deposited on the thickness of 5nm, (Tungsten W) 12b is deposited on the thickness of 200nm, and flattening is carried out by Metal CMP so that the metal gate electrode 12 may be left that is, embedded in slot 3a and 3b only in slot 3a after

removing said dummy gate electrode field and dummy gate dielectric film, and 3b.

[0066] Under the present circumstances, as shown in drawing 9 (a), in the MOS transistor section of a short channel, a counter impurity is not contained in a channel part, but it has surface channel structure also with nMOS and pMOS. On the other hand, as shown in drawing 9 (b), in the transistor section of a long channel, the counter impurity is contained in the channel part and it has embedding channel structure also with nMOS and pMOS.

[0067] Then, an interlayer insulation film (the inside of drawing 1 , 13) is ****(ed) using the insulator layer of BPSG (boron Lynn silicate glass) or a plasma-CVD system etc. And metal wiring (not shown) which forms a contact hole (not shown) in the above-mentioned layer insulation membrane layer, and contacts said metal gate electrode 12 is formed.

[0068] That is, nMOSFET of the CMOS transistor using metal gate electrode structure and pMOSFET can realize the CMOS transistor to which the transistor of embedding channel structure and a short channel can be formed as surface channel structure, and the transistor of a long channel has highly efficient metal gate electrode structure for cost lifting in *****, without the manufacture approach of the CMOS transistor concerning the gestalt of the 1st operation using a special process, as described above.

[0069]

[Effect of the Invention] As mentioned above, the transistor of a long channel can set up a threshold sufficiently low by realizing with embedding channel structure, and nMOSFET of the pole detailed CMOS transistor using metal gate electrode structure according to the semiconductor device of this invention and pMOSFET can control the short channel effect to which a threshold becomes extremely small by realizing the transistor of a short channel with surface channel structure.

[0070] Moreover, according to the manufacture approach of the semiconductor device of this invention, the semiconductor device of this invention can be realized for cost lifting to *****, without using a special process.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the structure of CMOSFET currently formed in the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 2] Property drawing showing the short channel effect of CMOSFET shown in drawing 1 as contrasted with the short channel effect of CMOSFET of the conventional example.

[Drawing 3] The sectional view showing a part of main processes concerning an example of the manufacture approach concerning the gestalt of operation of the 1st of CMOSFET shown in drawing 1 .

[Drawing 4] The sectional view showing the process following the process of drawing 3 .

[Drawing 5] The sectional view showing the process following the process of drawing 4 .

[Drawing 6] The sectional view showing the process following the process of drawing 5 .

[Drawing 7] The sectional view showing the process following the process of drawing 6 .

[Drawing 8] The sectional view showing the process following the process of drawing 7 .

[Drawing 9] The sectional view showing the process following the process of drawing 8 .

[Description of Notations]

It is a well 1 a--p,

It is a well 1 b--n,

2 -- Dummy gate dielectric film,

3 -- Dummy gate electrode field,

4 -- Source drain electrode field,

5 -- Gate side-attachment-wall field,

6 -- Extension field,

7 -- Component isolation region,

8 -- Interlayer insulation film,

11 -- Gate dielectric film

12 -- Metal gate electrode.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

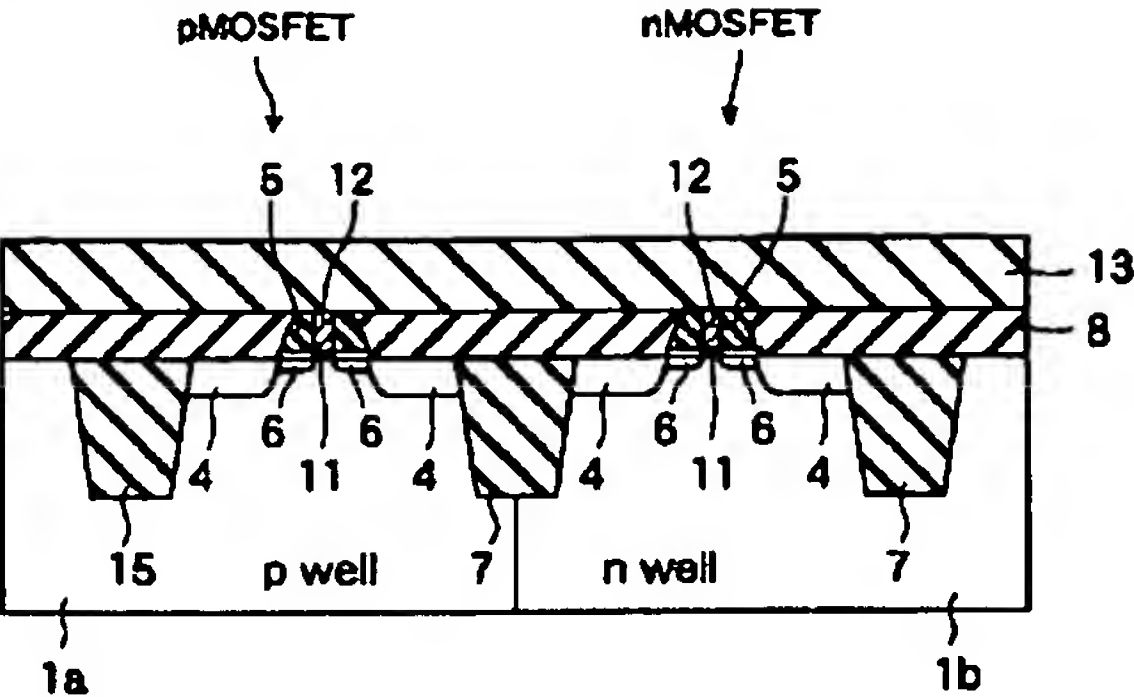
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

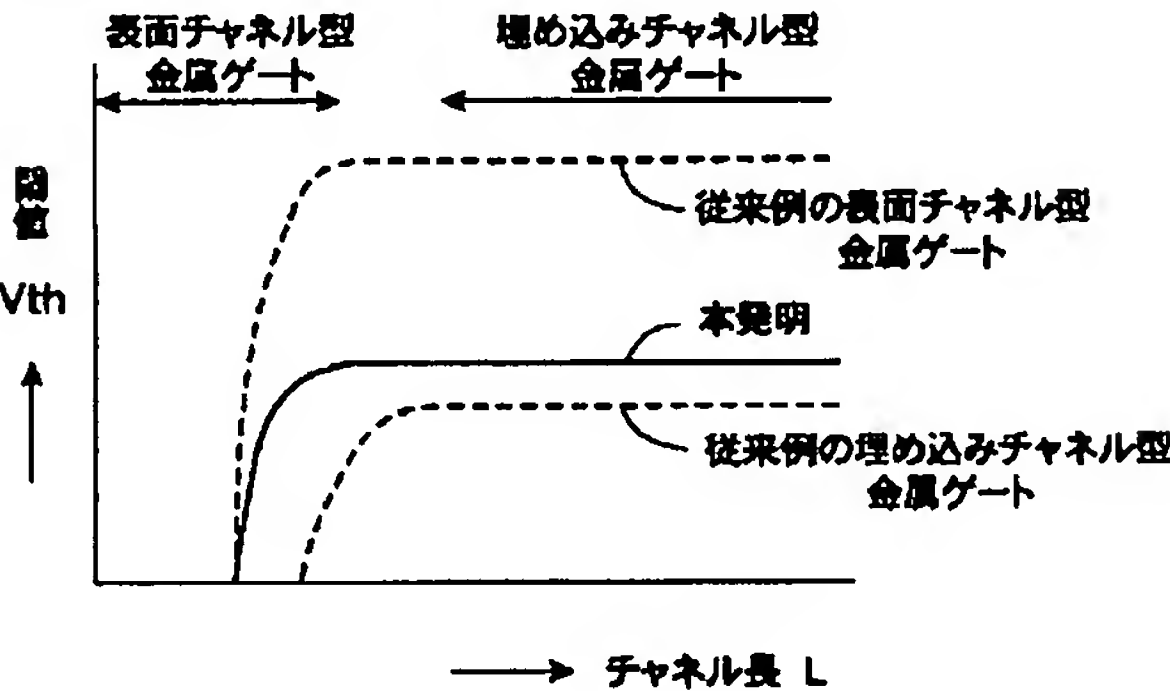
3.In the drawings, any words are not translated.

DRAWINGS

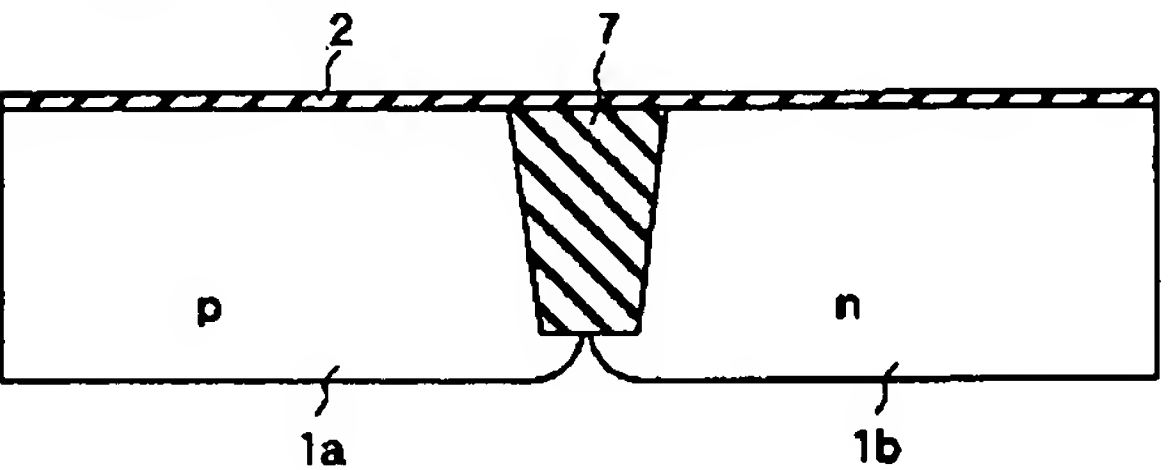
[Drawing 1]



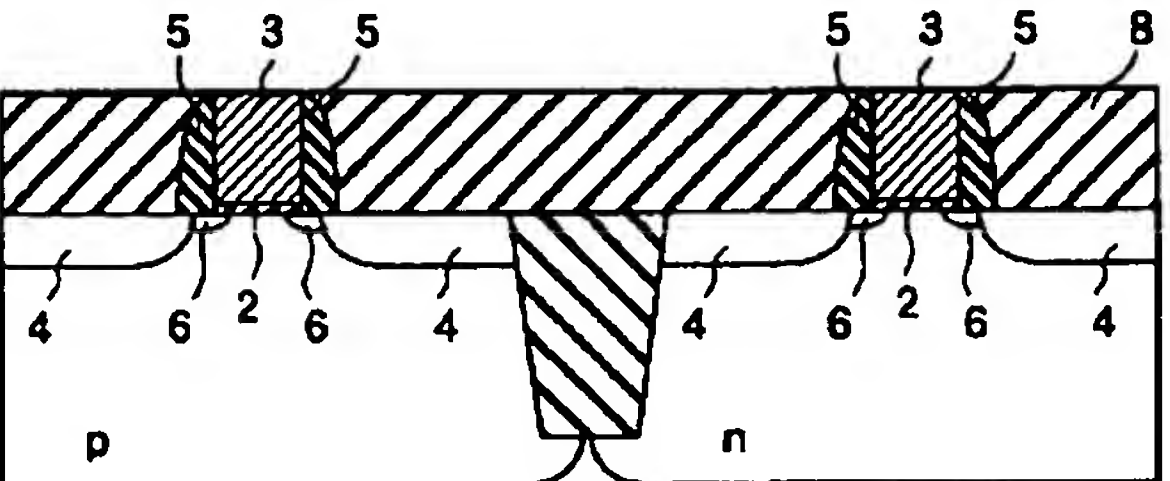
[Drawing 2]



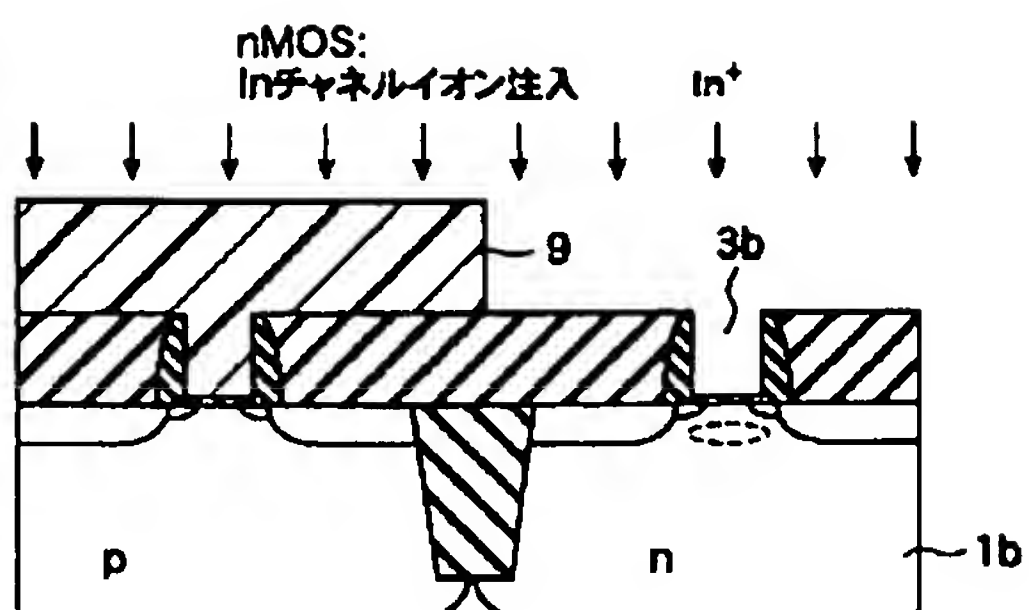
[Drawing 3]



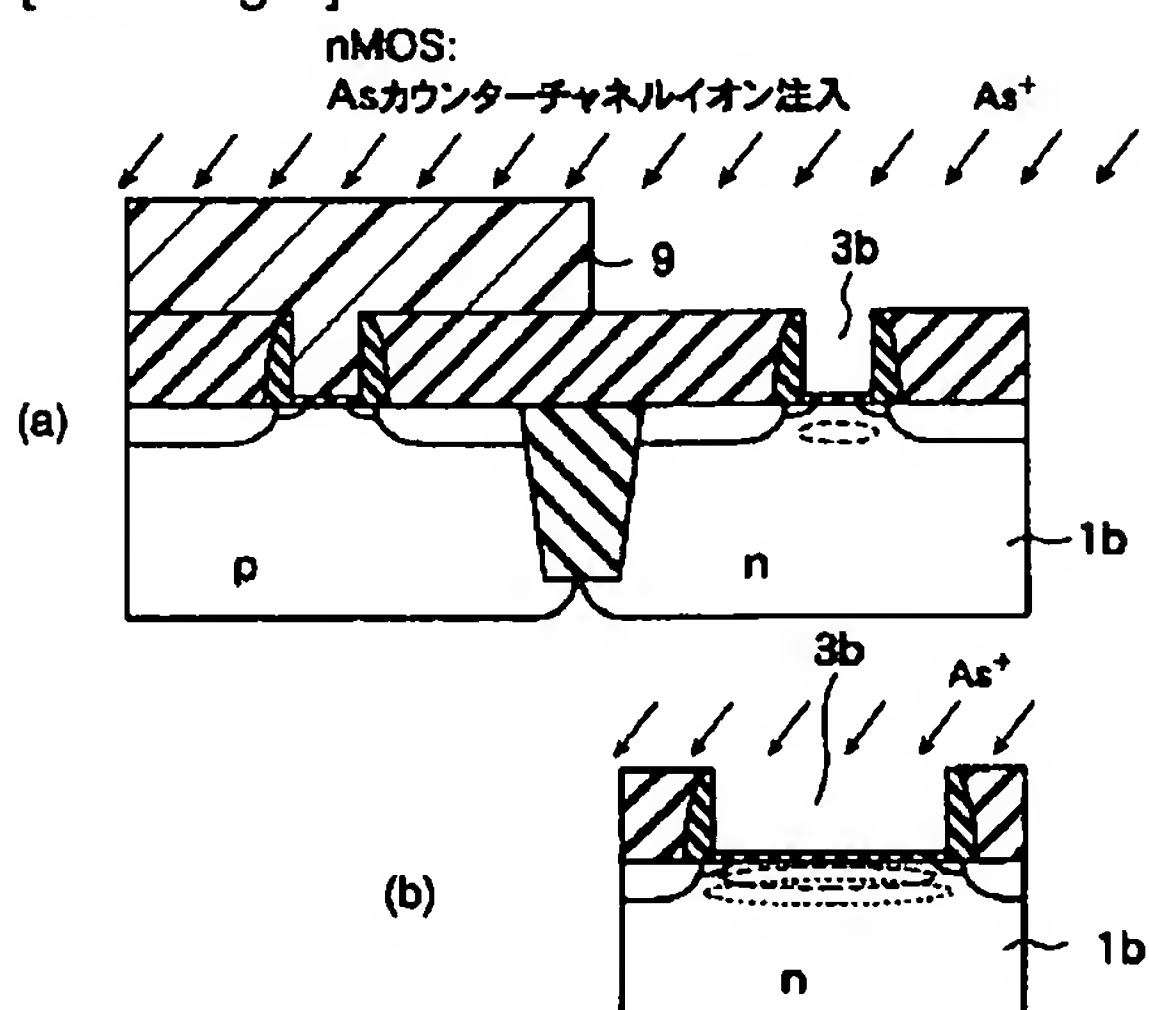
[Drawing 4]



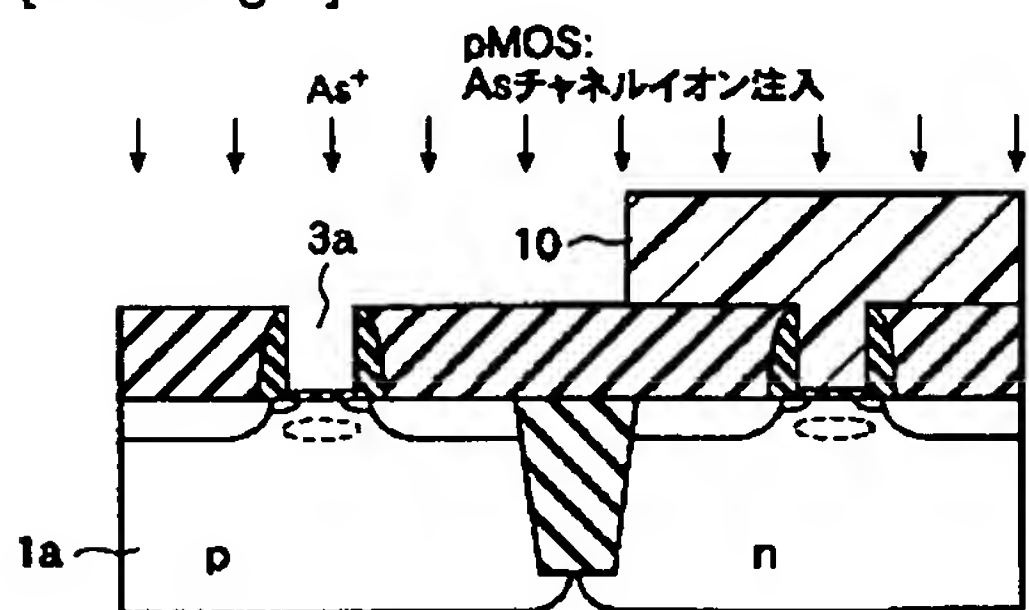
[Drawing 5]



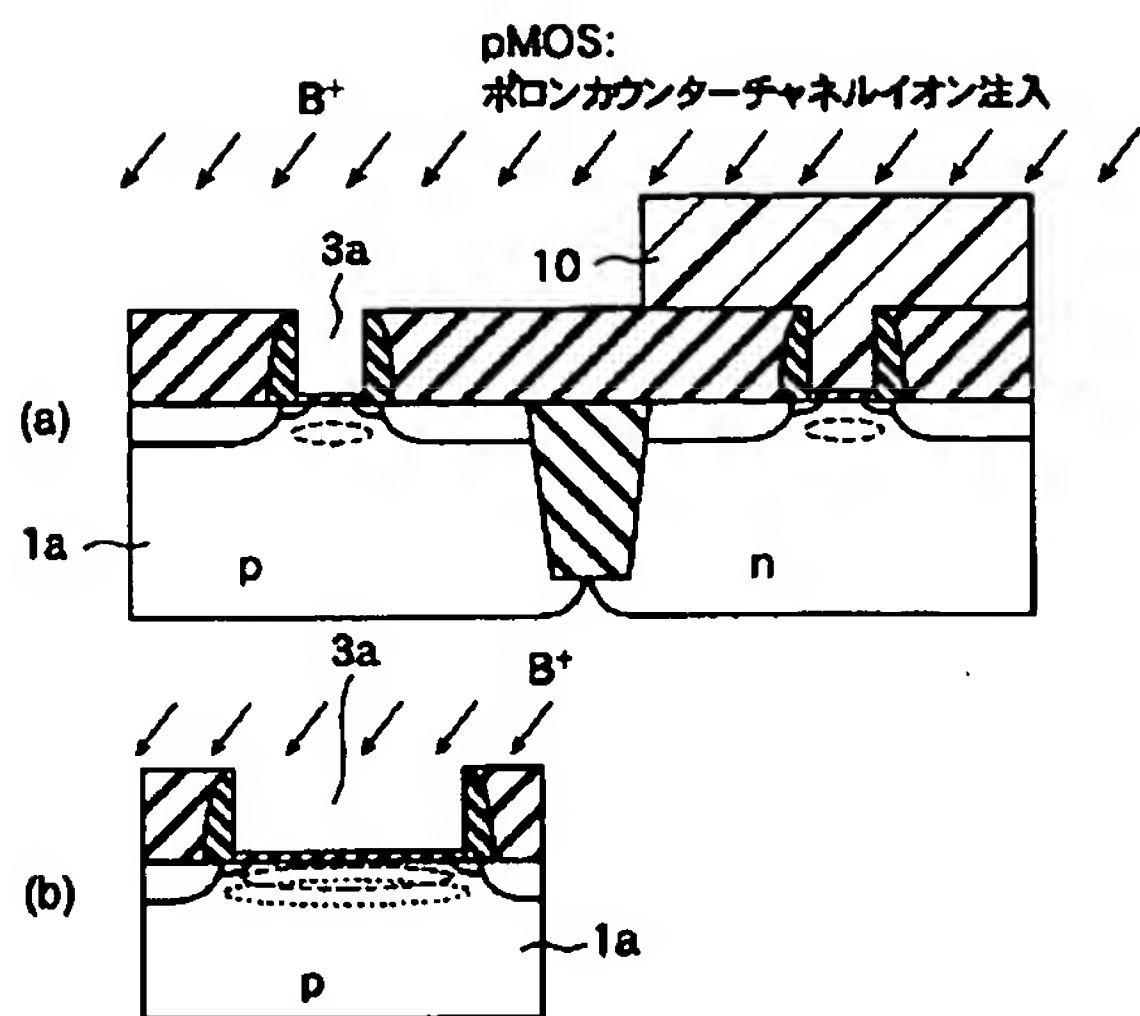
[Drawing 6]



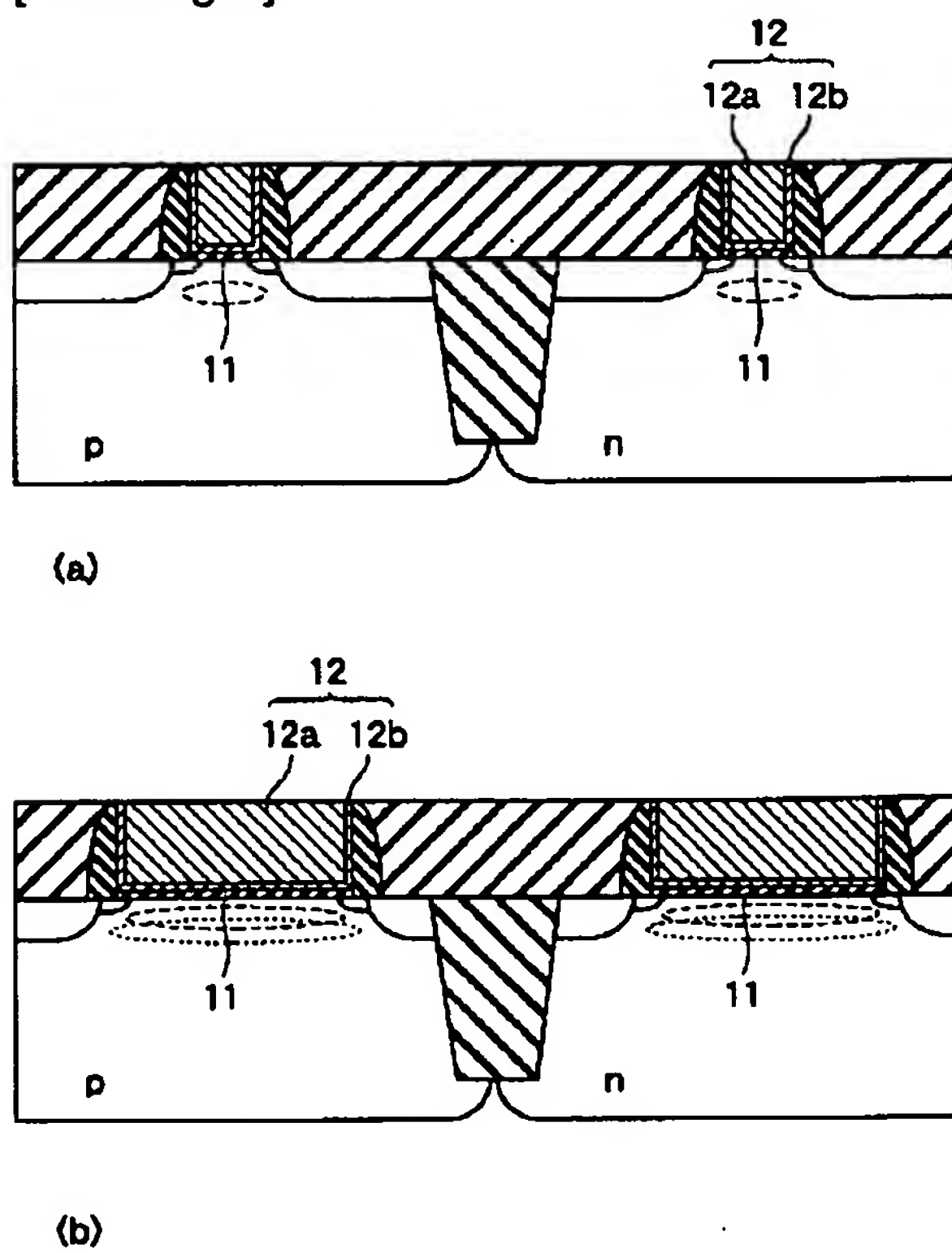
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

文庫 5

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-353756
(P2000-353756A)

(43)公開日 平成12年12月19日(2000. 12. 19)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)	
H 0 1 L 21/8238		H 0 1 L 27/08	3 2 1 D	4 M 1 0 4
27/092		21/28	3 0 1 R	5 F 0 4 0
21/265		21/265	V	5 F 0 4 8
21/28	3 0 1	27/08	1 0 2 B	
21/8234			3 2 1 C	
審査請求 未請求 請求項の数 6 O L (全 9 頁) 最終頁に続く				

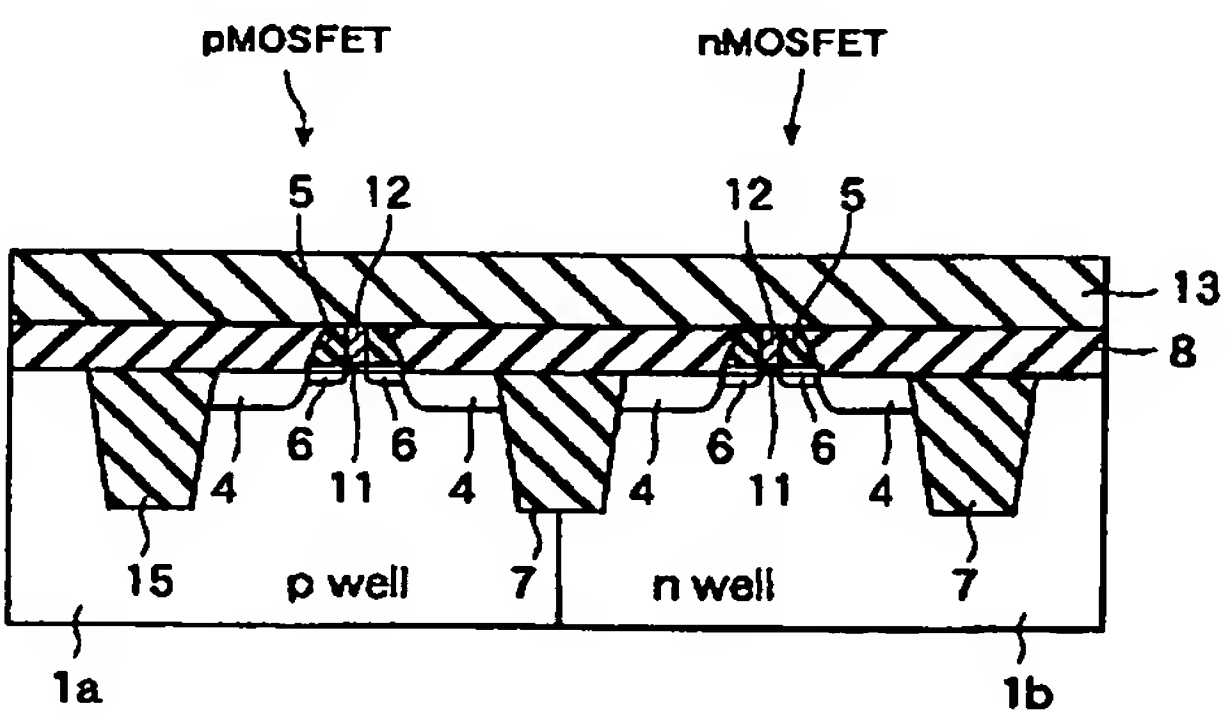
(21)出願番号	特願平11-166713	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成11年 6 月14日(1999. 6. 14)	(72)発明者	東 篤志 神奈川県横浜市磯子区新杉田町 8 番地 株 式会社東芝横浜事業所内
		(74)代理人	100058479 弁理士 鈴江 武彦 (外 6 名)
		最終頁に続く	

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】金属ゲート電極構造を用いた極微細CMOSトランジスタのnMOSFET、pMOSFETともに低い閾値電圧を実現する。

【解決手段】金属ゲート電極12を有するCMOSFETを形成した半導体装置において、金属ゲート電極の少なくともゲート絶縁膜側には、仕事関数の値が4.2eV~5.0eVの金属が用いられており、nMOSFET、pMOSFETとも、ショートチャネルのトランジスタは表面チャネル構造となるチャネルプロファイルを有し、ロングチャネルのトランジスタは埋め込みチャネル構造となるチャネルプロファイルを有する。



【特許請求の範囲】

【請求項 1】 半導体層に形成された絶縁ゲート型電界効果型トランジスタのソース領域、チャンネル領域およびドレイン領域と、

前記チャンネル領域上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、少なくともゲート絶縁膜側に仕事関数の値がシリコンのバンドギャップ付近にある金属が用いられた金属ゲート電極とをそれぞれ具備する n チャンネル型の絶縁ゲート型電界効果型トランジスタおよび p チャンネル型の絶縁ゲート型電界効果型トランジスタが形成されてなり、

前記 n チャンネル型および p チャンネル型の絶縁ゲート型電界効果型トランジスタとも、所定のチャンネル長より短いチャンネル長の第 1 のトランジスタは表面チャンネル構造となるチャンネルプロファイルを有し、前記第 1 のトランジスタのチャンネル長より長い第 2 のチャンネル長の第 2 のトランジスタは埋め込みチャンネル構造となるチャンネルプロファイルを有することを特徴とする半導体装置。

【請求項 2】 前記第 1 のトランジスタは、チャンネル長がデザインルールの最小寸法程度の近傍であるショートチャンネルのものであり、前記第 2 のトランジスタはロングチャンネルのものであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記金属ゲート電極の少なくともゲート絶縁膜側の金属の仕事関数の値は、 $4.2\text{ eV} \sim 5.0\text{ eV}$ であることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記金属ゲート電極は、チタン、タンタルのいずれか 1 つの単体金属で形成される、または、この単体金属と高融点金属との積層構造として形成されることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 第 1 の導電型および第 2 の導電型の不純物をもつ半導体層上にダミーゲート絶縁膜およびダミーゲートを形成し、前記ダミーゲートの側面に側壁絶縁膜を形成する工程と、

前記側壁絶縁膜の形成工程の前後あるいは前のみあるいは後のみに前記半導体層の表層部に MOS トランジスタのソース、ドレイン領域となる不純物領域を形成する工程と、

この後、前記ダミーゲートおよび側壁絶縁膜を含む半導体層上の全面にシリコン酸化膜系の層間絶縁膜を堆積し、化学的研磨によって前記ダミーゲートを露出させる工程と、

前記露出させたダミーゲートを除去して前記第 1 のトランジスタのゲート形成用の第 1 の溝および前記第 2 のトランジスタのゲート形成用の第 2 の溝を形成し、その下方の前記半導体層にチャンネル不純物を導入する工程と、前記チャンネル不純物を導入する工程の前あるいは後に前記ダミーゲートダミーゲート絶縁膜を除去し、前記チャンネル不純物を導入する工程の後にゲート絶縁膜を形成

し、さらに金属ゲートを形成する工程とを具備し、

第 1 の導電型をもつ基板部分には、第 1 の不純物と同じ導電型の不純物を基板に垂直な方向からまたはそれに近い角度から前記第 1 の溝および第 2 の溝を通して基板にイオン注入し、第 1 の不純物と反対導電型のイオン種を前記第 1 の溝を通しては基板に届かないように基板に斜め方向の角度から第 2 の溝を通してイオン注入し、第 2 の導電型をもつ基板部分には、第 2 の不純物と同じ導電型の不純物を基板に垂直な方向からまたはそれに近い角度から前記第 1 の溝および第 2 の溝を通して基板にイオン注入し、第 2 の不純物と反対導電型のイオン種を前記第 1 の溝を通しては基板に届かないように基板に斜め方向の角度から第 2 の溝を通してイオン注入することを特徴とする半導体装置の製造方法。

【請求項 6】 前記第 1 のトランジスタは、チャンネル長がデザインルールの最小寸法程度の近傍であるショートチャンネルのものであり、前記第 2 のトランジスタはロングチャンネルのものであることを特徴とする請求項 5 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係り、特に半導体集積回路装置に形成される金属ゲート電極およびゲート絶縁膜を用いた電界効果トランジスタ (Metal Insulator Semiconductor Field Effect Transistor ; MISFET) の高性能化を達成するチャンネル構造とその製造工程に関する。

【0002】

【従来の技術】MISFETを用いた半導体装置としては、Si基板上に形成されたダイナミック型RAM、スタティック型RAMなどの記憶装置や、CMOS (Complementary Metal Oxide Semiconductor ; 相補性絶縁ゲート) 構成のロジック回路を用いた演算装置などが挙げられる。

【0003】現在、集積密度の向上や性能向上のためにこれらの装置の構成要素であるMOSFETの微細化が進んでおり、世代が進むにつれて、MOSFETのいわゆる短チャンネル効果を抑制することが重要になっている。

【0004】MOSFETの短チャンネル効果を抑制する方法は、いわゆるスケーリング則にしたがって幾つか提案されており、その一つにゲート絶縁膜を薄膜化する手法が挙げられる。

【0005】この手法は、ゲート電極に電圧を印加した時にゲート絶縁膜が薄いほどSi基板中に形成される空乏層の制御が容易になり、短チャンネル効果を抑制できることを意味している。

【0006】ところが、不純物をドーブしたポリシリコンを用いたゲート電極中で十分なキャリア濃度が得られていない場合には、ゲート絶縁膜の薄膜化により相対的

にゲート電極側にかかる電場が強くなると、ゲート電極中にも空乏層が形成される現象（ゲート電極の空乏化）が見られる。特に、極微細の n チャネル MOSFET（ n MOSFET）では、上記したゲート電極の空乏化の影響が顕著になる。

【0007】上記 n MOSFET のゲート電極の空乏化の影響が顕著になる原因の一つは、微細ゲート電極の細線構造に対してゲート電極の寄生抵抗を抑制するためにサリサイド構造が採用されていることが挙げられる。

【0008】即ち、サリサイド構造を実現するためにサリサイド工程を採用すると、 As （砒素）をソース・ドレイン領域とゲート領域に同時にイオン注入して n^+ にドーピングすることが行われる。この場合、ゲート電極中の As の拡散係数が小さいので、ドーパントとして P （リン）を使った場合に比べて、同じ熱工程を経たとしてもゲート電極の Si 基板側での不純物濃度が低下し、ゲート電極の空乏化を引き起こし易くなり、実効的なゲート絶縁膜厚が大きくなり、電流駆動力が減少するという欠点が顕在化する。

【0009】一方、 p チャネル MOSFET（ p MOSFET）に対しては、素子の微細化が進むにつれて、従来用いられてきた埋め込みチャネル構造から表面チャネル構造に変更することにより短チャネル効果を抑制することが試みられており、サブミクロン～ $0.25\mu m$ 世代より先の p MOSFET では、ゲート電極として B （ボロン）をドーピングしたポリシリコンが用いられている。

【0010】しかし、ゲート電極の不純物に B を用いた表面チャネル型 p MOSFET でも、ゲート絶縁膜の薄膜化につれて幾つかの問題を生じる。例えば B がゲート領域から薄膜ゲート絶縁膜を介してチャネル領域に突き抜けてしまうことや、埋め込みチャネル型 p MOSFET のゲート電極で用いられている P と比べて B の固溶限が小さいので、ゲート電極中のキャリア濃度が小さくなり、やはりゲート電極の空乏化の影響が無視できなくなるなどである。

【0011】また、微細なゲート電極では、ゲート遅延時間の劣化を引き起こさないように幾つかの寄生効果の低減が必要となる。その一つとして、ゲート電極上のシート抵抗を小さくすることが要求されている。

【0012】ゲート抵抗の低減化を図るために、現在はサリサイド構造などが用いられているが、 $0.1\mu m$ 世代の素子になると、現在実現されているシート抵抗では必ずしもゲート抵抗の低減化が十分ではなくなる。

【0013】また、サリサイド技術においては、ゲート長が短くなるにつれてシート抵抗の増大が引き起こされる細線効果も存在するので、ゲート電極のさらなる低抵抗化が可能になる構造の開発が望まれていた。

【0014】これらの技術的な背景により、ゲート長が $0.1\mu m$ 以降の世代では、CMOSFET を構成する n MOSFET、 p MOSFET とともに、微細なゲート電

極の低抵抗化とゲート空乏化率の改善を主な目的として、ゲート電極として、不純物をドーブしたポリシリコンではなく、金属を用いる手法が研究され始めている（例えば A.Chatterjee et al. "Sub-100nm Gate Length Metal Gate NMOS Transistors Fabricated by a Replacement Gate PROCESS", 1997 IEEE, IEDM Tech.Dig. P.821）。

【0015】この手法は、 p MOSFET において B がゲート領域から薄膜ゲート絶縁膜を介してチャネル領域に突き抜ける現象が生じない点でも有利になる。

【0016】なお、歴史的には、 MI S 型半導体装置の初期には金属ゲート電極が用いられていたが、金属ゲート電極は高温プロセスとの整合がとれないことから最近では使われなくなっていた。

【0017】ところで、前記したように再び注目され始めている金属ゲート電極の構造を、従来の LSI の製造プロセスと整合性を持たせながら形成しようとする、比較的融点の高い W （タングステン）や TiN （チタンナイトライド）、 Ta （タンタル）単体などを用いることが妥当である。特に、 TiN は、配向性の制御が可能になってきたこともあり、 W との積層構造の金属ゲートを形成する上でのバリアメタルとしての役割を担う上で重要になってきている。

【0018】前記 TiN や Ta は、仕事関数 ϕ_M として 4.6 eV 程度の値（ミッドギャップ（mid gap）近傍、つまり、シリコン基板（Bulk Si ）の E_c 、 E_v の中間近傍）を持つので、ゲート電極として用いることにより、 n MOSFET、 p MOSFET とともに閾値電圧 V_{th} を所望の狙い目付近に設定し易いという利点がある。

【0019】しかし、前記したような仕事関数 ϕ_M として 4.6 eV 程度の値を持つ金属ゲート電極を用いると、表面チャネル構造を有するロングチャネル（チャネル長がデザインルールの最小寸法より長いもの）の MOSFET を形成した場合に MOSFET の閾値電圧 V_{th} が、この世代の MOSFET としては高くなる。

【0020】このことは、極微細 CMOS デバイスにおいては大変不都合である。なぜならば、極微細 CMOS デバイスにおいては、電源電圧を低減することを想定して各部の寸法がスケールアップされており、それに伴って閾値電圧 V_{th} も低減させることが前提となっているからである。

【0021】もし、閾値電圧 V_{th} が高いままで電源電圧を低下させなければならぬとすると、結果的には MOSFET の電流駆動力（ $V_g - V_{th}$ に比例する）を低減させる結果となり、チャネル長をスケールダウンして素子を高性能化するというシナリオから外れてしまう。

【0022】そこで、閾値電圧 V_{th} を低減させるために、表面チャネル構造を有するショートチャネル（チャネル長がデザインルールの最小寸法程度のもの）の MOSFET を形成すると、閾値が極端に小さくなるという

ショートチャネル効果が強く出る領域に入り、特性のばらつきが大きくなる。

【0023】また、埋め込みチャネル構造を有するMOSFETを形成すると、ロングチャネルのMOSFETの閾値電圧 V_{th} を低減させることが可能であるが、ショートチャネルのMOSFETのDIBLが大きくなり、カットオフ特性が悪くなる。

【0024】従って、金属ゲート電極の構造のMOSFETとして、従来のように表面チャネル構造のみあるいは埋め込みチャネル構造のみで実現する場合には、微細CMOSに必要な低い閾値と十分な耐ショートチャネル効果特性を両立させることができない。

【0025】なお、従来、 $\phi_M = 4.6 \text{ eV}$ の金属ゲート電極を有するMOSFETとして、nMOSFETを表面チャネル構造とし、pMOSFETを埋め込みチャネル構造とすることにより、低い閾値電圧 V_{th} を実現したものがある。

【0026】

【発明が解決しようとする課題】上記したように従来の金属ゲート電極構造を用いたCMOSトランジスタは、nMOSFET、pMOSFETともにロングチャネルのMOSFETの閾値電圧を低減させ、かつ、ショートチャネルのMOSFETの特性を劣化させることなくショートチャネルのMOSFETの閾値電圧を低減させることが困難であるという問題があった。

【0027】本発明は上記の問題点を解決すべくなされたもので、金属ゲート電極構造を用いた極微細CMOSトランジスタのnMOSFET、pMOSFETともに、ロングチャネルのMOSFETの閾値電圧を低く実現でき、しかも、ショートチャネルのMOSFETの特性を劣化させることなくMOSFETの閾値電圧を低く実現し得る半導体装置およびその製造方法を提供することを目的とする。

【0028】

【課題を解決するための手段】本発明の半導体装置は、半導体層に形成された絶縁ゲート型電界効果型トランジスタのソース領域、チャネル領域およびドレイン領域と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、少なくともゲート絶縁膜側に仕事関数の値がシリコンのバンドギャップ付近にある金属が用いられた金属ゲート電極とをそれぞれ具備するnチャネル型の絶縁ゲート型電界効果型トランジスタおよびpチャネル型の絶縁ゲート型電界効果型トランジスタが形成されてなり、前記nチャネル型およびpチャネル型の絶縁ゲート型電界効果型トランジスタとも、所定のチャネル長より短いチャネル長の第1のトランジスタは表面チャネル構造となるチャネルプロファイルを有し、前記第1のトランジスタのチャネル長より長い第2のチャネル長の第2のトランジスタは埋め込みチャネル構造となるチャネルプロファイルを有することを特徴

とする。

【0029】この場合、具体的には、前記第1のトランジスタは、チャネル長がデザインルールの最小寸法程度の近傍であるショートチャネルのものであり、前記第2のトランジスタはロングチャネルのものである。

【0030】また、前記金属ゲート電極の少なくともゲート絶縁膜側の金属の仕事関数の値は、 $4.2 \text{ eV} \sim 5.0 \text{ eV}$ であり、前記金属ゲート電極は、チタン、タantalのいずれか1つの単体金属で形成される、または、この単体金属と高融点金属との積層構造として形成される。

【0031】また、本発明の半導体装置の製造方法は、第1の導電型および第2の導電型の不純物をもつ半導体層上にダミーゲート絶縁膜およびダミーゲートを形成し、前記ダミーゲートの側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜の形成工程前後あるいは前のみあるいは後のみに前記半導体層の表層部にMOSトランジスタのソース、ドレイン領域となる不純物領域を形成する工程と、この後、前記ダミーゲートおよび側壁絶縁膜を含む半導体層上の全面にシリコン酸化膜系の絶縁膜を堆積し、化学的研磨によって前記ダミーゲートを露出させる工程と、前記露出させたダミーゲートを除去して前記第1のトランジスタのゲート形成用の第1の溝および前記第2のトランジスタのゲート形成用の第2の溝を形成し、その下方の前記半導体層にチャネル不純物を導入する工程と、前記チャネル不純物を導入する工程の前あるいは後に前記ダミーゲートダミーゲート絶縁膜を除去し、前記チャネル不純物を導入する工程の後にゲート絶縁膜を形成し、さらに金属ゲートを形成する工程とを具備し、前記第1の導電型をもつ基板部分には、第1の不純物と同じ導電型の不純物を基板に垂直な方向からまたはそれに近い角度から前記第1の溝および第2の溝を通して基板にイオン注入し、第1の不純物と反対導電型のイオン種を前記第1の溝を通しては基板に届かないように基板に斜め方向の角度から第2の溝を通してイオン注入し、第2の導電型をもつ基板部分には、第2の不純物と同じ導電型の不純物を基板に垂直な方向からまたはそれに近い角度から前記第1の溝および第2の溝を通して基板にイオン注入し、第2の不純物と反対導電型のイオン種を前記第1の溝を通しては基板に届かないように基板に斜め方向の角度から第2の溝を通してイオン注入することを特徴とする。

【0032】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0033】＜半導体装置の第1の実施の形態＞図1は、第1の実施の形態に係る半導体装置に形成されているCMOSFETの断面構造を示している。

【0034】図1において、1aは半導体基板に形成されたpウェル(well)領域、1bは半導体基板に形

成された n ウエル領域、7 は CMOS 領域分離用、n MOS・p MOS 間分離用の素子分離領域である。

【0035】p MOS FET および n MOS FET は、それぞれ基板表層部に形成されたエクステンション領域 6 を含むソース領域・ドレイン領域 4 と、上記ソース領域・ドレイン領域間のチャネル領域上に形成されたゲート絶縁膜 11 と、前記ゲート絶縁膜上に形成された金属ゲート電極 12 とを具備する。

【0036】なお、5 は p MOS FET・n MOS FET のゲート電極の側壁部に形成された側壁絶縁膜からなるゲート側壁領域、8 は基板上に形成された第 1 の層間絶縁膜、13 は前記第 1 の層間絶縁膜 8 および金属ゲート電極 12 の上に形成された第 2 の層間絶縁膜である。

【0037】この CMOS FET の構造の特徴は、

(1) n MOS FET、p MOS FET とともに、所定のチャネル長より短いチャネル長の第 1 のトランジスタは表面チャネル構造となるチャネルプロファイルを有し、前記第 1 のトランジスタのチャネル長より長い第 2 のチャネル長のトランジスタは埋め込みチャネル構造となるチャネルプロファイルを有することである。

【0038】ここで、前記第 1 のトランジスタは、チャネル長がデザインルールの最小寸法程度の近傍であるショートチャネルのものであり、前記第 2 のトランジスタはロングチャネルのものである。

【0039】なお、前記金属ゲート電極 12 の少なくともゲート絶縁膜側には、 $\phi M = 4.6 \text{ eV}$ 程度の金属、本例では TiN が用いられており、その上に高融点金属（本例では W）が堆積されている。なお、W に代えて Al を用いてもよく、また、 $\phi M = 4.6 \text{ eV}$ 程度の金属単体（例えば Ta）からなる金属ゲート電極を用いてもよい。

【0040】図 2 中において、実線は、図 1 の CMOS FET のチャネル長 L と閾値 V_{th} との関係を示しており、対比のために、従来の CMOS FET が表面チャネル構造で形成されている場合のチャネル長 L と閾値 V_{th} との関係および従来の CMOS FET が埋め込みチャネル構造で形成されている場合のチャネル長 L と閾値 V_{th} との関係をそれぞれ点線で示している。

【0041】図 2 から、本発明の CMOS FET によれば、埋め込みチャネル構造で形成されているロングチャネルのトランジスタは閾値を十分低く設定することが可能であり、表面チャネル構造で形成されているショートチャネルのトランジスタは閾値が極端に小さくなるショートチャネル効果を抑制することが可能であることが分かる。

【0042】即ち、本発明の CMOS FET によれば、金属ゲート電極構造を用いた極微細 CMOS トランジスタの n MOS FET、p MOS FET とともに、ショートチャネルの MOS トランジスタのショートチャネル効果を抑制しつつ、ロングチャネルの MOS トランジスタの

閾値 V_{th} を低く実現することが可能である。

【0043】＜半導体装置の製造方法の第 1 の実施の形態＞図 3 乃至図 9 は、図 1 に示した第 1 の実施の形態に係る CMOS FET の製造方法の一例に係る主要工程における断面構造を示している。

【0044】まず、図 3 に示すように、通常の CMOS プロセスにしたがってシリコン基板 1 に素子分離領域 7、p ウエル領域 1a、n ウエル領域 1b を選択的に形成した後、基板表面上にダミーゲート絶縁膜 2 を形成する。なお、素子分離領域 7 は、LOCOS（選択酸化）法、STI（シャロウトレンチアイソレーション）法などによって形成可能である。

【0045】次に、図 4 に示すように、ダミーゲート絶縁膜 2 上の全面にポリシリコン膜を 200 nm の厚さに堆積し、リソグラフィと RIE（反応性イオンエッチング）によって加工し、MOS FET のダミーゲート電極領域 3 を形成する。このダミーゲート電極領域 3 は、MOS FET のゲートになるものではなく、後述するように金属ゲートを埋め込む前に除去される（金属ゲートに置き換えられる）。

【0046】ここで、ダミーゲート電極領域 3 を形成する物質は、後の加工性を考慮してポリシリコンを用いているが、その上部にさらにキャップとなる材料、例えば SiN などを堆積し、後の工程で CMP（化学的機械研磨）を行って層間膜を平坦化する際のストッパーの役割を持たせるようにしてもよい。

【0047】次に、前記ダミーゲート電極領域 3 に対してセルフアライン的にイオン注入を行い、所要の熱工程を加えることにより、p ウエル領域 1a、n ウエル領域 1b のそれぞれに浅いソース・ドレイン領域（エクステンション領域）6 を形成する。

【0048】この浅いソース・ドレイン領域を形成する際、n MOS 領域には砒素 As^+ を 10 keV の加速電圧、 $4 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し、また、p MOS 領域には弗化ボロン BF_2^+ を 7 keV の加速電圧、 $4 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入した後、 800°C 、10 秒の熱処理（アニール）を行うことにより、イオン注入した不純物を電気的に活性化させる。

【0049】さらに、ゲート側壁領域 5 を形成するために、全面に例えばシリコン窒化膜 SiN を 70 nm の厚さに堆積し、これを例えば RIE（反応性イオンエッチング）によってエッチングすることにより、ダミーゲート電極領域 3 の側面に窒化シリコン膜 5 を残存せしめる。

【0050】次に、ゲート側壁領域 5 に対してセルフアライン的にイオン注入を行い、不純物の活性化のための RTA（急速加熱処理）を行い、p ウエル領域 1a、n ウエル領域 1b のそれぞれに深いソース・ドレイン領域 4 となる拡散層を形成する。

【0051】この深いソース・ドレイン領域 4 を形成す

る際、nMOS領域には砒素As⁺を50keVの加速電圧、 $4 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、また、pMOS領域には弗化ボロンBF₂⁺を35keVの加速電圧、 $3.5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入した後、950℃、10秒のアニールを行うことにより、イオン注入した不純物を電氣的に活性化させる。

【0052】さらに、全面に層間絶縁膜（例えばBPSG膜）8を堆積する。この場合、CMPの均一性がよいLPCVD（減圧気相成長）法により形成される酸化膜（例えばTEOS酸化膜）を堆積してもよい。

【0053】次に、CMPにより層間絶縁膜8の上面を平坦化し、前記ダミーゲート電極領域3の上部表面が露出した時点でCMPをストップさせ、図4の状態を得る。このCMPに際して、ダミーゲート電極領域3のポリシリコン上にキャップ材としてSiN等の材料が載っている場合は、それをストッパーにしてCMPを行うことが可能である。

【0054】なお、上記実施例では、説明の簡単化のため、ゲート側壁領域5を形成した時点でソース・ドレイン領域の高性能化（低抵抗化およびコンタクト抵抗の低減化）を図るためのソース・ドレイン表面にシリサイド膜を形成するシリサイド形成工程を省略したが、従来例と同様にシリサイド工程を適用してもよい。

【0055】その後、図5に示すように、CDE（ケミカルドライエッチング）法によってダミーゲート電極領域（ポリシリコンゲート）3を層間絶縁膜8に対して選択的に除去する。

【0056】続いて、上記ダミーゲート電極領域除去後の溝3bに対して金属を埋め込む前に、リソグラフィを用いてダミーゲート電極領域除去後の溝3bを通してチャンネルイオン注入を行う。

【0057】この際、まず、図5に示すように、nMOSトランジスタを形成するために、pウェル領域1a側をレジスト9でマスクした状態で、p型不純物、例えばインジウム（In）を130keVの加速電圧、 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でnウェル1bにイオン注入する。この時、基板と垂直方向から、あるいは垂直方向より例えば7°程度傾斜した方向からイオン注入を行なうことにより、ダミーゲート電極領域除去後の溝3bが狭い場合（ショートチャンネルのトランジスタに対応する）も広い場合（ロングチャンネルのトランジスタに対応する）も、イオン注入が行われる。

【0058】続いて、図6（a）、（b）に示すように、埋め込みチャンネルのカウンター不純物となる砒素（As）を比較的低い15keVの加速電圧で $5 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でイオン注入する。この時、基板に対して斜め方向からnウェル1bにイオン注入を行なう。この時、図6（b）に示すように、ダミーゲート電極領域除去後の溝3bが広い場合（ロングチャンネルのト

ランジスタに対応する）はnウェル1bにカウンタートイオン注入が行われるが、図6（a）に示すように、ダミーゲート電極領域除去後の溝3bが狭い場合（ショートチャンネルのトランジスタに対応する）にはnウェル1bにカウンタートイオン注入が行われない。

【0059】このようなイオン注入によって、ショートチャンネルのnMOSトランジスタ部では表面チャンネル構造が得られ、ロングチャンネルのnMOSトランジスタ部では、埋め込みチャンネル構造が得られる。

【0060】次に、前記レジスト9を除去し、図7に示すように、pMOSトランジスタを形成するために、nウェル領域1b側をレジスト10でマスクした状態で、n型不純物、例えば砒素（As）を100keVの加速電圧、 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でpウェル1aにイオン注入する。この時、基板と垂直方向から、あるいは垂直方向より例えば7°程度傾斜した方向からイオン注入を行なうことにより、ダミーゲート電極領域除去後の溝3aが狭い場合（ショートチャンネルのトランジスタに対応する）も、ダミーゲート電極領域除去後の溝3aが広い（ロングチャンネルのトランジスタに対応する）場合も、イオン注入が行われる。

【0061】続いて、図8（a）、（b）に示すように、埋め込みチャンネルのカウンター不純物となるボロン（B）を比較的低い5keVの加速電圧で $5 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でイオン注入する。この時、基板に対して斜め方向からpウェル1aにイオン注入を行なう。この時、図8（b）に示すように、ロングチャンネルのトランジスタ部ではpウェル1aにカウンタートイオン注入が行われるが、図8（a）に示すように、ショートチャンネルのトランジスタ部ではpウェル1aにカウンタートイオン注入が行われない。

【0062】このようなイオン注入によって、ショートチャンネルのpMOSトランジスタ部では表面チャンネル構造が得られ、ロングチャンネルのpMOSトランジスタ部では、埋め込みチャンネル構造が得られる。

【0063】続いて、前記レジスト10を除去し、チャンネル不純物を活性化するために、750℃、10秒の熱処理を行い、前記したように除去されたダミーゲート電極領域の下ダミーゲート絶縁膜2を希フッ酸処理によって除去した後、図9（a）、（b）に示すように、基板表面に熱酸化または化学気相堆積（CVD）法によってゲート絶縁膜11を形成する。なお、上記ダミーゲート絶縁膜2の除去は、前記ダミーゲート電極領域3の除去と同時に実施してもよい。

【0064】ここで、上記ゲート絶縁膜11は、酸化膜系でも酸化窒化膜系でも窒化膜系でもその他の高誘電体絶縁膜でもよい。即ち、純粋なシリコン酸化膜に限らず、窒素を含有したシリコン酸化膜であってもよく、五酸化タンタル、二酸化チタンなどの高誘電体薄膜でもよく、これらの高誘電体薄膜同士、あるいはシリコン酸化

膜との積層膜であってもよく、デバイスの世代が替って実効的な膜厚を薄くした時でも目的に応じて選択できる。

【0065】次に、ゲート電極用の金属として、例えば窒化チタン (TiN) 12a を 5 nm の厚さに堆積し、タングステン (W) 12b を 200 nm の厚さに堆積し、前記ダミーゲート電極領域およびダミーゲート絶縁膜を除去した後の溝 3a、3b 内だけに残す、つまり、溝 3a、3b 内に金属ゲート電極 12 を埋め込むように、メタルCMPにより平坦化する。

【0066】この際、図 9 (a) に示すように、ショートチャンネルのMOSトランジスタ部では、チャンネル部分にカウンター不純物が含まれておらず、nMOS、pMOSとも表面チャンネル構造になっている。一方、図 9

(b) に示すように、ロングチャンネルのトランジスタ部では、チャンネル部分にカウンター不純物が含まれており、nMOS、pMOSとも埋め込みチャンネル構造になっている。

【0067】この後、BPSG (ボロン・リン・シリケートガラス) またはプラズマCVD系の絶縁膜などを用いて層間絶縁膜 (図 1 中、13) を堆積する。そして、上記層間絶縁膜層にコンタクトホール (図示せず) を形成して前記金属ゲート電極 12 にコンタクトする金属配線 (図示せず) を形成する。

【0068】即ち、上記したように第 1 の実施の形態に係るCMOSトランジスタの製造方法は、特殊な工程を用いることなく、金属ゲート電極構造を用いたCMOSトランジスタのnMOSFET、pMOSFETともに、ロングチャンネルのトランジスタは埋め込みチャンネル構造、ショートチャンネルのトランジスタは表面チャンネル構造として形成することが可能であり、コスト上昇を殆んど伴わずに高性能な金属ゲート電極構造を有するCMOSトランジスタを実現することができる。

【0069】

【発明の効果】 上述したように本発明の半導体装置によれば、金属ゲート電極構造を用いた極微細CMOSトランジスタのnMOSFET、pMOSFETともに、ロ

ングチャンネルのトランジスタは埋め込みチャンネル構造で実現することにより閾値を十分低く設定することが可能であり、ショートチャンネルのトランジスタは表面チャンネル構造で実現することにより閾値が極端に小さくなるショートチャンネル効果を抑制することができる。

【0070】また、本発明の半導体装置の製造方法によれば、特殊な工程を用いることなく、コスト上昇を殆んど伴わずに本発明の半導体装置を実現することができる。

10 【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係る半導体装置に形成されているCMOSFETの構造を示す断面図。

【図 2】 図 1 に示したCMOSFETのショートチャンネル効果を従来例のCMOSFETのショートチャンネル効果と対比して示す特性図。

【図 3】 図 1 に示したCMOSFETの第 1 の実施の形態に係る製造方法の一例に係る主要工程の一部を示す断面図。

【図 4】 図 3 の工程に続く工程を示す断面図。

20 【図 5】 図 4 の工程に続く工程を示す断面図。

【図 6】 図 5 の工程に続く工程を示す断面図。

【図 7】 図 6 の工程に続く工程を示す断面図。

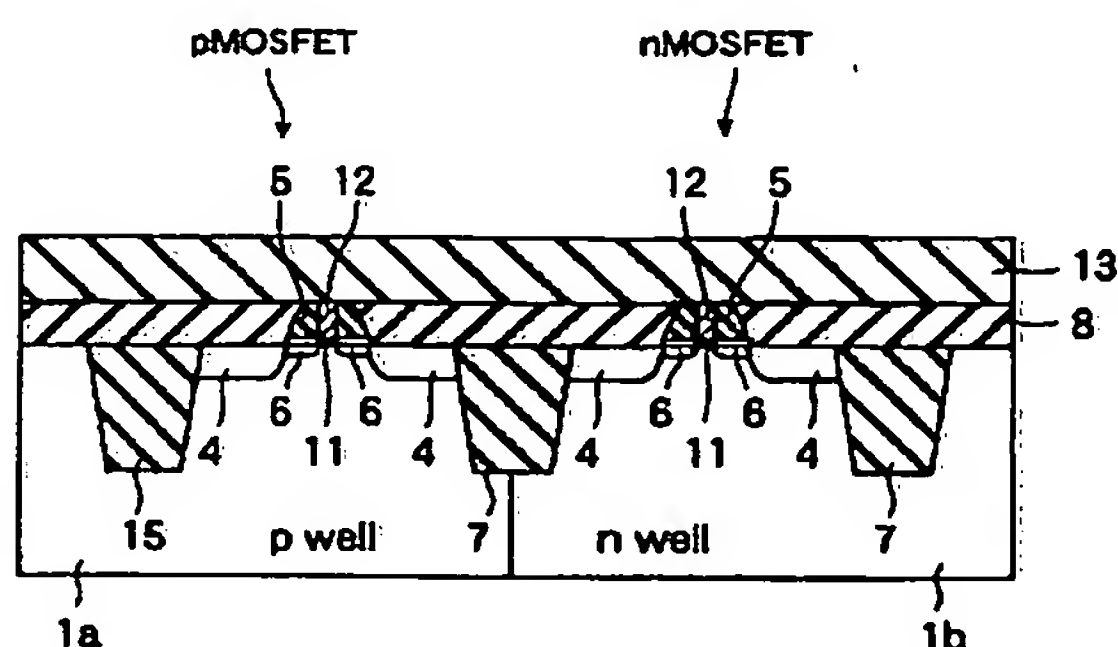
【図 8】 図 7 の工程に続く工程を示す断面図。

【図 9】 図 8 の工程に続く工程を示す断面図。

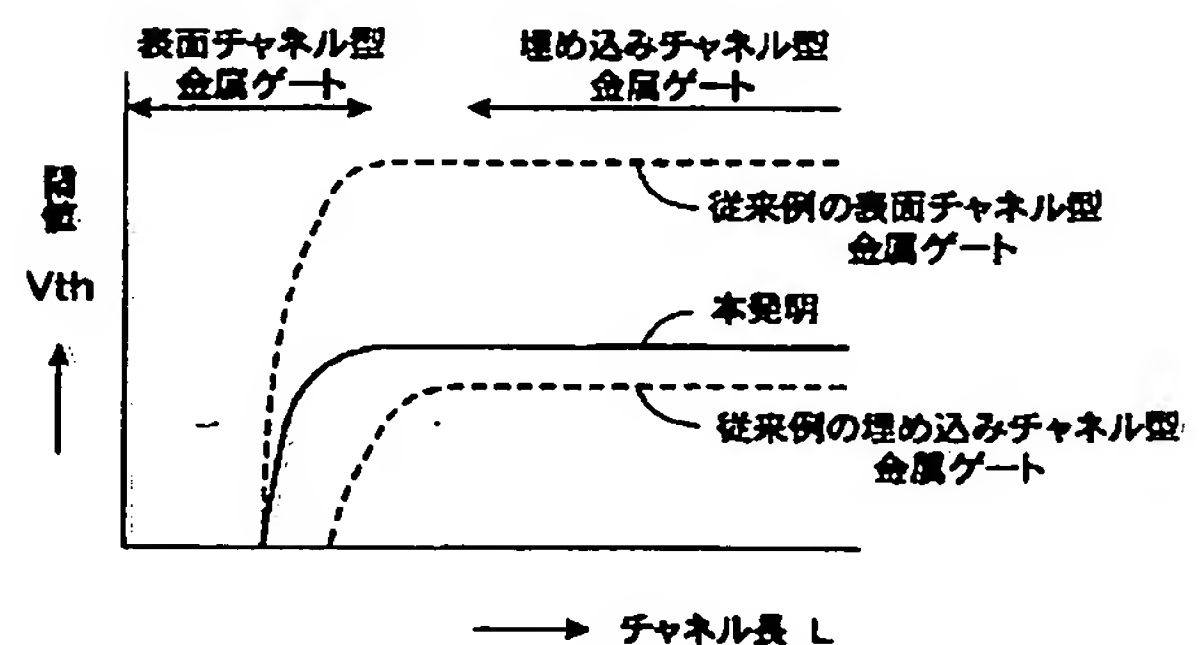
【符号の説明】

- 1 a … p ウエル、
1 b … n ウエル、
2 … ダミーゲート絶縁膜、
3 … ダミーゲート電極領域、
4 … ソース・ドレイン電極領域、
5 … ゲート側壁領域、
6 … エクステンション領域、
7 … 素子分離領域、
8 … 層間絶縁膜、
11 … ゲート絶縁膜、
12 … 金属ゲート電極。

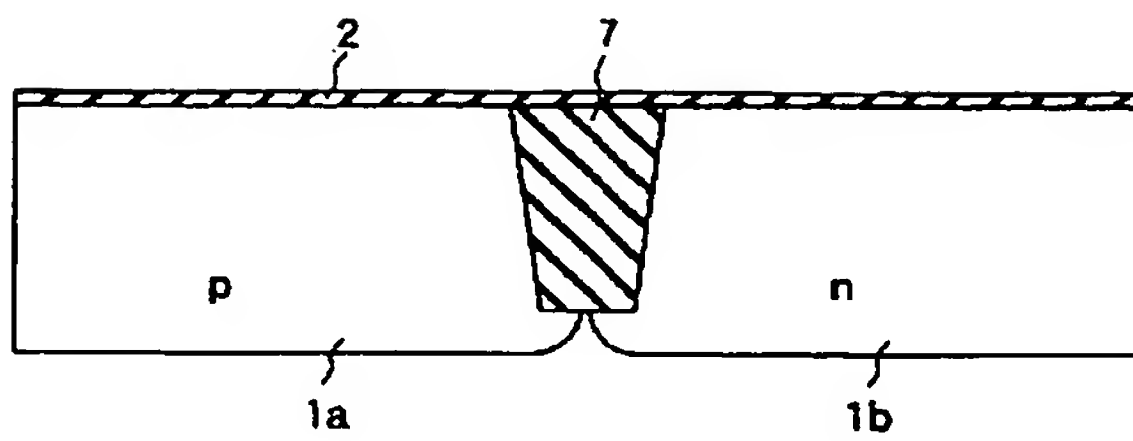
【図 1】



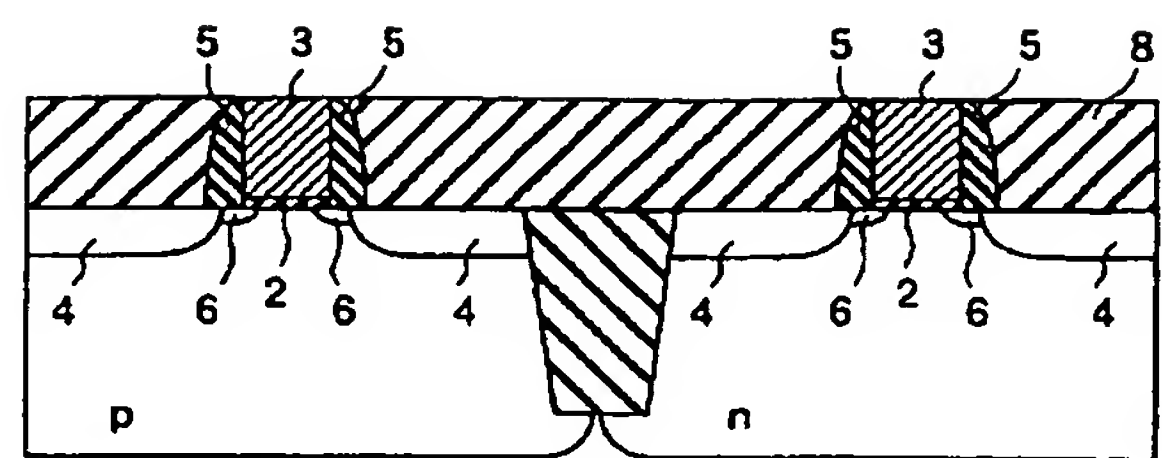
【図 2】



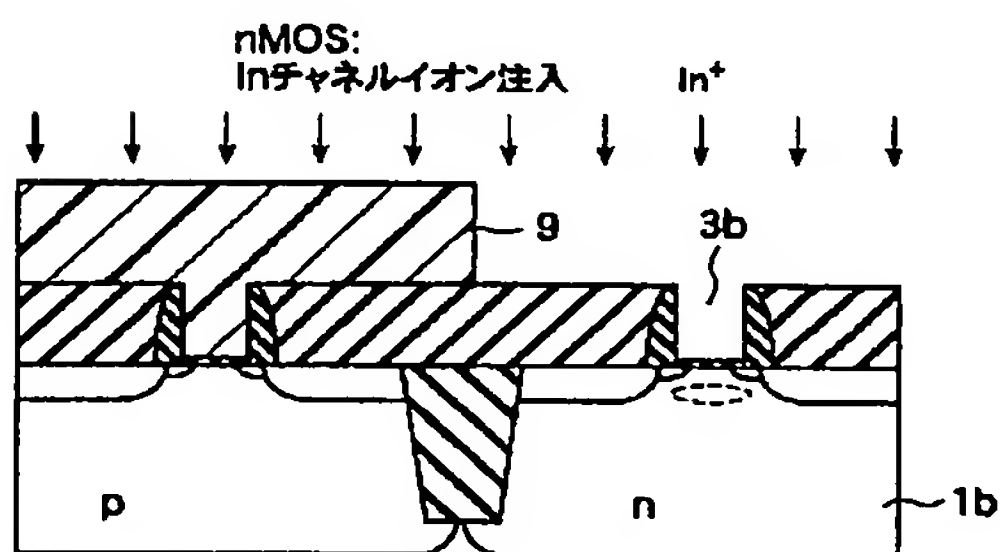
【図 3】



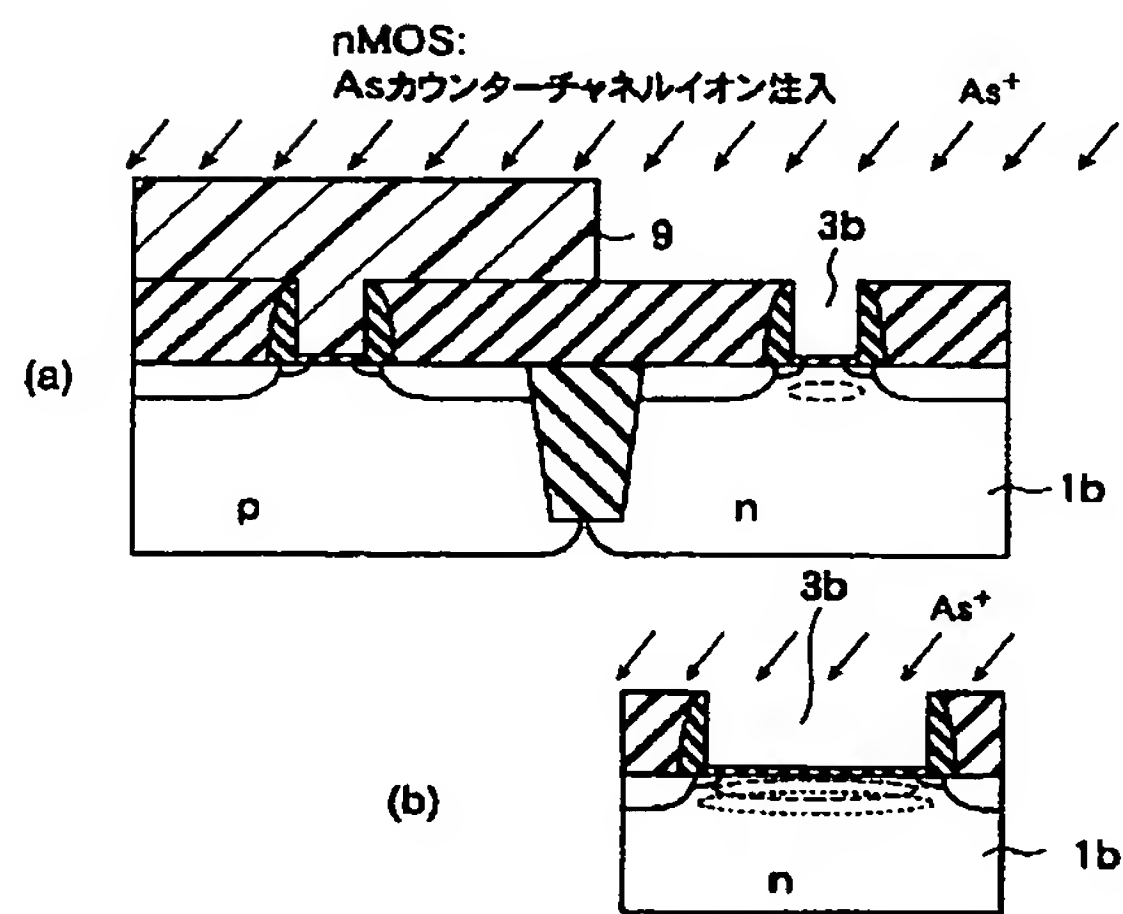
【図 4】



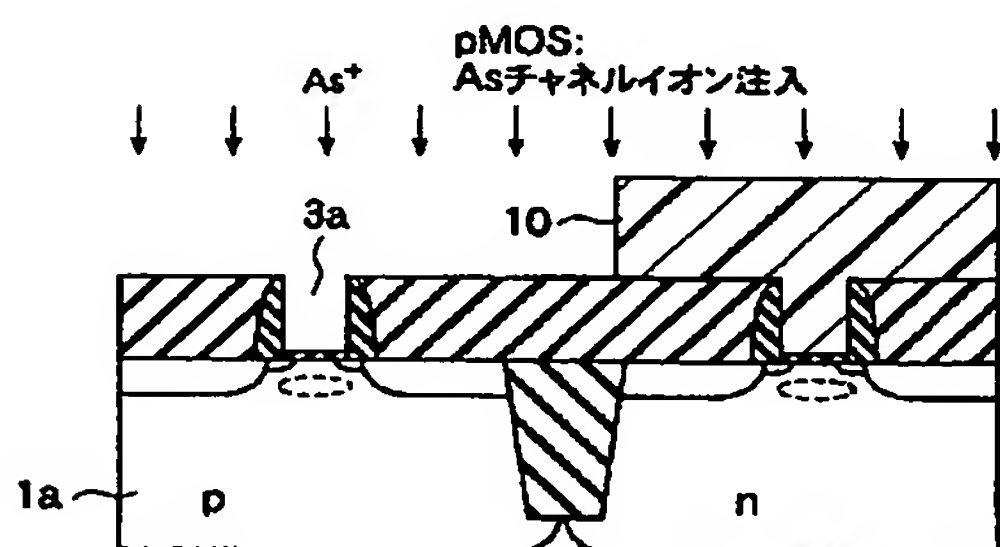
【図 5】



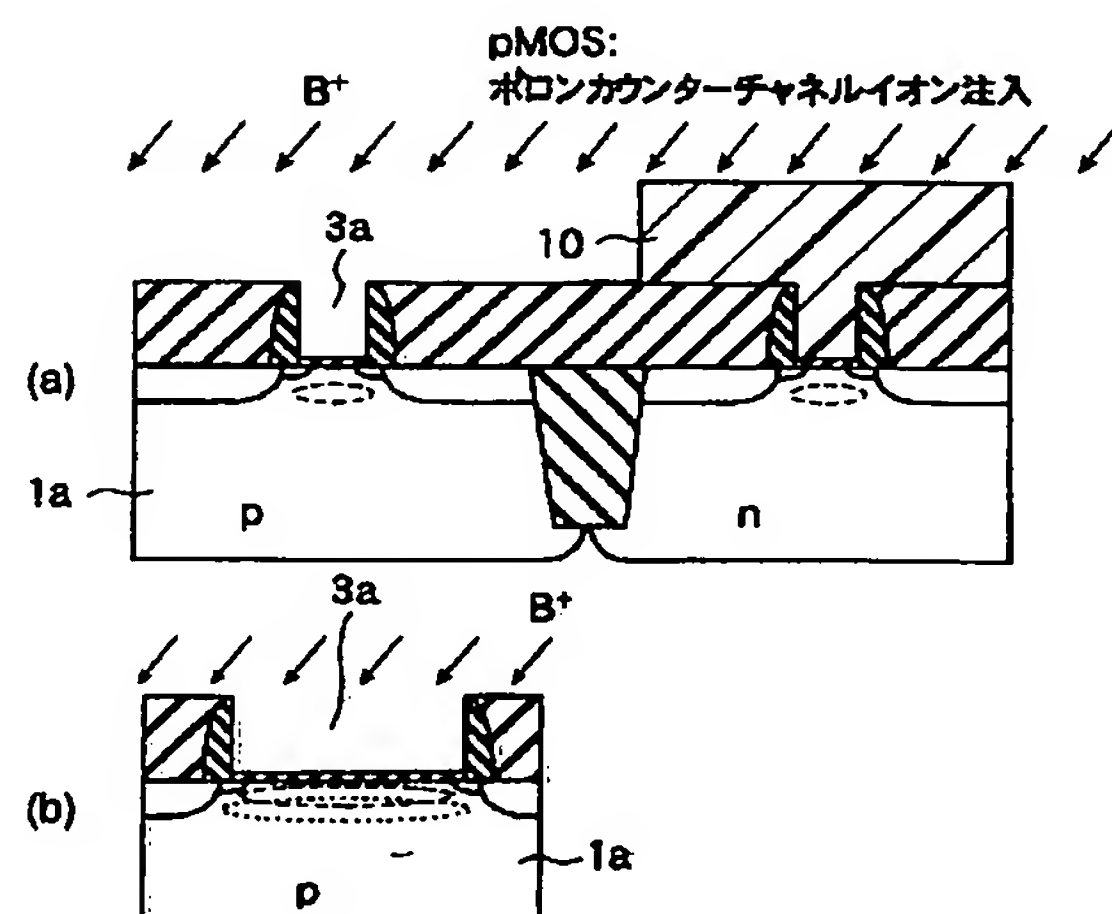
【図 6】



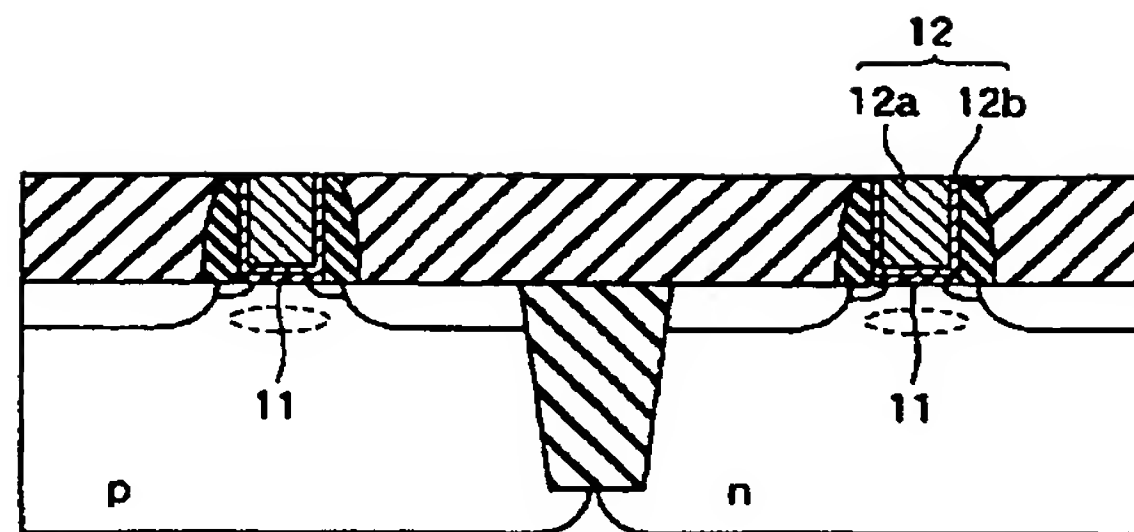
【図 7】



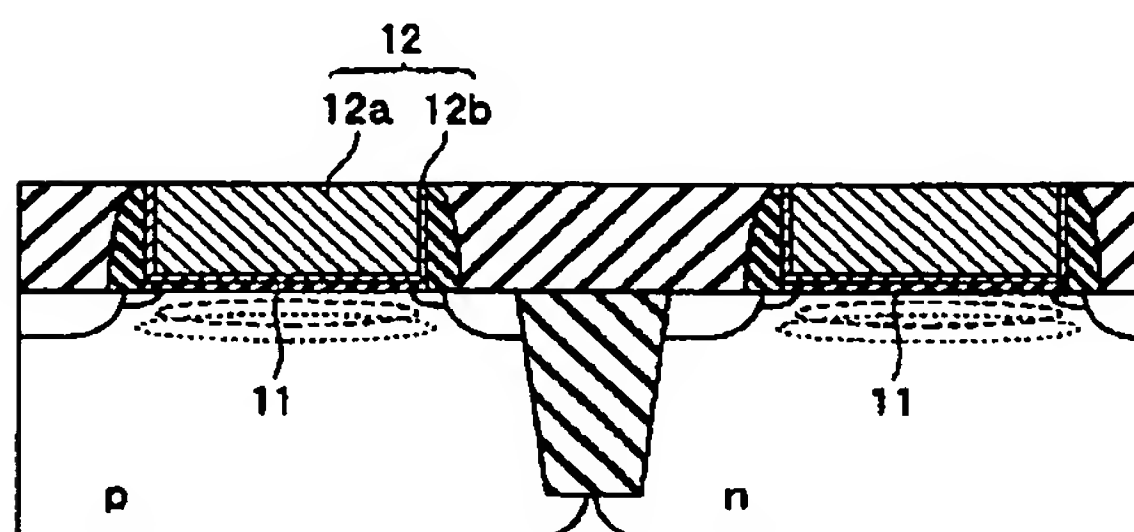
【図 8】



【図 9】



(a)



(b)

フロントページの続き

(51) Int. Cl.⁷

H01L 27/088
29/43
29/78

識別記号

F I

H01L 29/62
29/78

テーマコード (参考)

G
301G
301H

F ターム (参考) 4M104 AA01 BB14 BB17 BB30 CC05
DD03 DD04 DD26 DD75 EE03
EE09 EE12 EE16 EE17 FF13
GG09 GG10 HH20
5F040 DA06 DB03 EA08 EA09 EC01
EC08 EC12 ED03 ED04 EE05
EE09 EF02 EK01 EK05 FA02
FA07 FB02 FB05 FC10 FC13
FC19 FC21 FC22
5F048 AA01 AC01 AC03 BA01 BB09
BB11 BB12 BB14 BB18 BC06
BD04 BD05 BD10 BE03 BF06
BG12 BG14 DA27